

Family list14 family members for: **CN1290922**




Derived from 11 applications

- 1** **Film transistor array panel for liquid crystal display and its producing method**
Inventor: MOON-PYO HONG (KR); WAN-SIK HONG (KR); (+1) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: G02F1/1362B; G02F1/1362H **IPC:** G02B5/00; G02B5/20; G02F1/1335 (+10)
Publication info: **CN1195243C** - 2005-03-30
 CN1290922 A - 2001-04-11
- 2** **THIN-FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR**
Inventor: KO MUNSHAKU; WAN-SIK HONG; (+4) **Applicant:** SAMSUNG ELECTRONICS CO LTD
EC: G02F1/1362B; G02F1/1362H **IPC:** G02B5/00; G02B5/20; G02F1/1335 (+12)
Publication info: **JP2001166338 A** - 2001-06-22
- 3** **THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF MAKING THE SAME**
Inventor: HONG MUN PYO (KR) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: **IPC:** G02F1/136; G02F1/13; (IPC1-7): G02F1/136
Publication info: **KR20010029343 A** - 2001-04-06
- 4** **THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR**
Inventor: HONG MUN PYO (KR) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: **IPC:** G02F1/136; G02F1/13; (IPC1-7): G02F1/136
Publication info: **KR20010060519 A** - 2001-07-07
- 5** **THIN FILM TRANSISTOR SUBSTRATE AND MANUFACTURING METHOD THEREOF**
Inventor: HONG MUN PYO (KR); HONG WAN SIK (KR); (+2) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: **IPC:** G02F1/136; G02F1/13; (IPC1-7): G02F1/136
Publication info: **KR20020018883 A** - 2002-03-09
- 6** **THIN-FILM-TRANSISTOR SUBSTRATE AND FABRICATING METHOD THEREOF**
Inventor: HONG MUN PYO (KR); HONG WAN SIK (KR); (+2) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: **IPC:** H01L29/786; H01L29/66; (IPC1-7): H01L29/786
Publication info: **KR20020018885 A** - 2002-03-09
- 7** **Thin film transistor array panels for liquid crystal display and manufacturing methods of the same**
Inventor: HONG MUN-PYO (KR); HONG WAN-SIK (KR); (+3) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: **IPC:** G02F1/13; G02F1/13; (IPC1-7): G02F1/13
Publication info: **TW533325B B** - 2003-05-21
- 8** **Thin film transistor array panel for a liquid crystal display and methods for manufacturing the same**
Inventor: HONG MUN-PYO (KR); HONG WAN-SHICK (KR); (+4) **Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)
EC: G02F1/1362B; G02F1/1362H **IPC:** G02B5/00; G02B5/20; G02F1/1335 (+9)
Publication info: **US6674495 B1** - 2004-01-06
- 9** **Thin film transistor array panel for a liquid crystal display and methods for manufacturing the same**
Inventor: HONG MUN-PYO (KR); HONG WAN-SHICK (KR); (+4) **Applicant:**
EC: G02F1/1362B; G02F1/1362H **IPC:** G02F1/1362; G02F1/13; (IPC1-7): G02F1/136
Publication info: **US7190421 B2** - 2007-03-13
 US2004046905 A1 - 2004-03-11
- 10** **Thin film transistor array panel for liquid crystal display**
Inventor: HONG MUN-PYO (KR); HONG WAN-SHICK (KR); (+4) **Applicant:**
EC: G02F1/1362B; G02F1/1362H **IPC:** G02F1/1362; G02F1/13; (IPC1-7): H01L29/04
Publication info: **US7220991 B2** - 2007-05-22
 US2004051103 A1 - 2004-03-18
- 11** **Thin film transistor array panel for liquid crystal display**
Inventor: HONG MUN-PYO (KR); HONG WAN-SHICK (KR); (+4) **Applicant:** SAMSUNG ELECTRONICS CO LTD
EC: H01L29/423D2B8; H01L21/77T; (+1) **IPC:** H01L33/00; H01L33/00
Publication info: **US2006231846 A1** - 2006-10-19

Film transistor array panel for liquid crystal display and its producing method

Patent number: CN1290922
Publication date: 2001-04-11
Inventor: MOON-PYO HONG (KR); WAN-SIK HONG (KR); SANG KIM II (KR)
Applicant: SAMSUNG ELECTRONICS CO LTD (KR)
Classification:
- international: **G02B5/00; G02B5/20; G02F1/1335; G02F1/136; G02F1/1362; G02F1/1368; G09F9/30; G02B5/00; G02B5/20; G02F1/13; G09F9/30;** (IPC1-7): G09G3/36; G02F11/36
- european: G02F1/1362B; G02F1/1362H
Application number: CN20001032400 20000929
Priority number(s): KR19990042108 19990930; KR19990062915 19991227; KR20000052182 20000904; KR20000052184 20000904

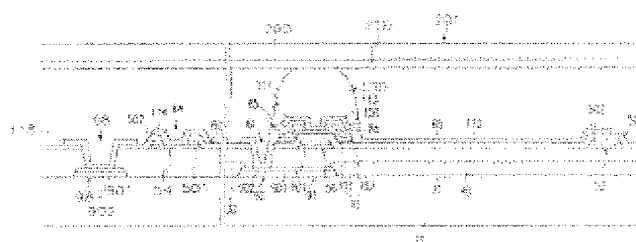
Also published as:

 US6674495 (B1)
 JP2001166338 (A)
 CN1195243C (C)

[Report a data error here](#)

Abstract not available for CN1290922
Abstract of correspondent: **US6674495**

A black matrix having an opening at pixels of a matrix array in a display area, a common wire including common pads and common signal lines, and gate pads in a peripheral area, and an alignment key in outer area to align interlayer thin films are formed on an insulating substrate. Red, blue and green color filters the edge of which overlap the black matrix are formed at the pixels on the insulating substrate, and an organic insulating layer covering the black matrix and the color filters and having a contact hole exposing the gate pad is formed thereon. A gate wire including a gate line connected to the gate pad through the contact hole and a gate electrode connected to the gate line is formed on the organic insulating layer, and a gate insulating layer covering the gate wire is formed on the organic insulating layer. A semiconductor pattern and ohmic contact layers are sequentially formed on the gate insulating layer of the gate electrode. A data wire including a source electrode and a drain electrode that are made of a same layer on the ohmic contact layers and separated from each other, and a data line connected to the source electrode and defining the pixels of a matrix array by crossing the gate line is formed on the gate insulating layer. A passivation layer covering the data wire and having contact holes exposing the gate pad and the data pad is formed, and a pixel wire including a pixel electrode, a redundant gate pad, a redundant data pad that are respectively connected to the drain electrode, the gate pad and the data pad through the contact holes.



Data supplied from the esp@cenet database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/36

G02F 1/136

[12] 发明专利申请公开说明书

[21] 申请号 00132400.4

[43] 公开日 2001 年 4 月 11 日

[11] 公开号 CN 1290922A

[22] 申请日 2000.9.29 [21] 申请号 00132400.4

[30] 优先权

[32]1999.9.30 [33]KR [31]42108/1999

[32]1999.12.27 [33]KR [31]62915/1999

[32]2000.9.4 [33]KR [31]52182/2000

[32]2000.9.4 [33]KR [31]52184/2000

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 洪雯杓 洪完植 金湘日

卢水贵 姜珍奎 金湘甲

[74] 专利代理机构 柳沈知识产权律师事务所

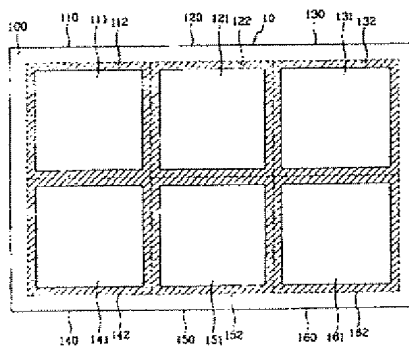
代理人 魏晓刚

权利要求书 6 页 说明书 33 页 附图页数 78 页

[54] 发明名称 用于液晶显示器的薄膜晶体管阵列屏板及其制造方法

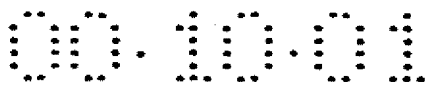
[57] 摘要

显示区中具有在矩阵阵列形式的像素处有开口的黑底,外围区中具有包括公用焊盘和公用信号线的公用布线及栅焊盘,外部区域中具有用于精确地对准绝缘基板上的各中间薄膜层的对准标记。在绝缘基板上像素处形成其边缘与黑底重叠的红、绿、蓝滤色器,并在其上形成覆盖黑底和滤色器、并具有暴露栅焊盘的接触孔的有机绝缘层。在有机绝缘层上形成包括通过接触孔与栅焊盘连接的栅线和与栅线连接的栅极的栅布线,并在有机绝缘层上形成覆盖栅布线的栅绝缘层。



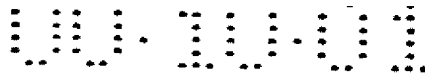
ISSN 1008-4274

知识产权出版社出版



权 利 要 求 书

1. 一种用于液晶显示器的薄膜晶体管阵列屏板, 包括:
绝缘基板, 包括显示区、在显示区周边的外围区及除显示区和外围区的
5 外部区域;
形成于绝缘基板的显示区上的黑底, 在矩阵阵列形式的像素处具有开口;
形成在绝缘基板上像素处的红、绿和蓝滤色器;
覆盖黑底和滤色器的绝缘层;
10 形成在绝缘层上的栅布线, 包括栅线及与栅线连接的栅极;
覆盖绝缘层上的栅布线的栅绝缘层;
形成在栅绝缘层上的半导体图形;
数据布线, 包括源极和漏极及数据线, 源极和漏极由半导体图形上的相同层形成, 并彼此隔开, 数据线与源极连接, 并与栅线交叉限定矩阵阵列形
15 式的像素;
钝化层, 覆盖数据布线, 并具有暴露漏极的第一接触孔; 及
包括通过第一接触孔与漏极连接的像素电极的像素布线。
2. 根据权利要求1的薄膜晶体管阵列屏板, 还包括用与外部区域中的黑底或滤色器相同的层形成的对准标记。
20 3. 根据权利要求1的薄膜晶体管阵列屏板, 还包括用与黑底相同的层形成的公用布线, 该公用布线包括公用信号线和公用焊盘, 所说公用信号线将公用信号传输到与像素电极相对的公用电极, 所说公用焊盘从外部电路将公用信号传输给公用信号线, 与公用信号线相连。
4. 根据权利要求1的薄膜晶体管阵列屏板, 其中栅布线还包括与外部电
25 路连接从而接收信号的栅焊盘, 数据布线还包括与外部电路连接从而接收信号的数据焊盘,
其中栅焊盘或数据焊盘由与外围区上的黑底、栅布线或数据布线相同的层形成。
5. 根据权利要求4的薄膜晶体管阵列屏板, 其中像素布线还包括冗余栅
30 焊盘和冗余数据焊盘, 它们由与像素电极相同的层形成, 并分别通过栅绝缘层或钝化层的第二和第三接触孔与栅焊盘和数据焊盘连接。



6. 根据权利要求 5 的薄膜晶体管阵列屏板, 其中栅焊盘和数据焊盘由与黑底相同的层形成, 钝化层和栅绝缘层具有第四和第五接触孔, 分别用于连接栅焊盘和数据焊盘与栅线和数据线。

5 7. 根据权利要求 1 的薄膜晶体管阵列屏板, 其中红、绿、蓝滤色器的边缘部分与黑底部分重叠。

8. 根据权利要求 1 的薄膜晶体管阵列屏板, 其中绝缘层是平整的, 由有机绝缘材料构成。

10 9. 根据权利要求 1 的薄膜晶体管阵列屏板, 其中黑底、栅布线、或数据布线具有由铝、铝合金、铜或铜合金构成的单层结构, 或包括铬、钼、钼合金、氮化铬或氮化钼导电材料的多层结构。

10. 一种制造用于液晶显示器的薄膜晶体管阵列屏板的方法, 包括以下步骤:

在绝缘基板的显示区上形成黑底, 绝缘基板包括显示区、在显示区周边的外围区、和除显示区和外围区外的外部区域;

15 在绝缘基板上形成红、绿、蓝滤色器;

形成覆盖黑底和滤色器的绝缘层;

在外部区域上形成对准标记;

在绝缘层上形成包括栅线和与栅线连接的栅极的栅布线;

形成覆盖栅布线的栅绝缘层;

20 在栅极的栅绝缘层上形成半导体图形;

形成数据布线, 数据布线包括源极和漏极及数据线, 数据线通过与栅线交叉限定矩阵阵列形式的像素; 及

形成与漏极连接的像素电极。

11. 一种用于液晶显示器的薄膜晶体管阵列屏板, 包括:

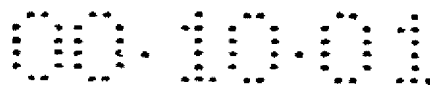
25 形成于绝缘基板上的数据布线, 包括数据线;

形成在绝缘基板的像素处的红、绿和蓝滤色器;

覆盖数据布线和滤色器的绝缘层;

形成在绝缘层上的栅布线, 包括与数据线交叉限定像素的栅线及与栅线连接的栅极;

30 覆盖绝缘层上的栅布线的栅绝缘层, 该层具有与绝缘层一起暴露数据线的的第一接触孔;



形成于栅极的栅绝缘层上的半导体图形；

包括源极、漏极和像素电极的像素布线，所说源极通过第一接触孔与数据线连接，所说源极和漏极由半导体图形上的同一层形成，并且彼此隔开，像素电极与漏极连接，形成于像素上。

5 12. 根据权利要求 11 的薄膜晶体管阵列屏板，其中红、绿和蓝滤色器的边缘与数据线边缘部分重叠。

13. 根据权利要求 11 的薄膜晶体管阵列屏板，其中绝缘层由有机绝缘材料构成。

10 14. 根据权利要求 11 的薄膜晶体管阵列屏板，其中栅布线还包括与栅线连接并从外部电路接收信号的栅焊盘，数据布线还包括与数据线连接并从外部电路接收信号的数据焊盘，

其中栅绝缘层和绝缘层具有分别暴露栅和数据焊盘的第二和第三接触孔，

15 其中像素布线还包括冗余栅焊盘和冗余数据焊盘，它们由与像素电极相同的层构成，并分别通过第二和第三接触孔与栅焊盘和数据焊盘连接。

15. 根据权利要求 11 的薄膜晶体管阵列屏板，还包括由与绝缘基板上的数据线相同的层形成的第一冗余栅焊盘，

20 其中栅布线还包括与栅线连接并从外部电路接收信号的栅焊盘，数据布线还包括与数据线连接并从外部电路接收信号的数据焊盘，栅绝缘层和绝缘层具有分别暴露第一冗余栅焊盘和数据焊盘的第二和第三接触孔及第四接触孔，栅焊盘通过第二接触孔与第一冗余栅焊盘连接，

其中像素布线还包括第二冗余栅焊盘和冗余数据焊盘，它们由与像素电极相同的层构成，并分别通过第三和第四接触孔与第一冗余栅焊盘和数据焊盘连接。

25 16. 根据权利要求 11 的薄膜晶体管阵列屏板，还包括光阻挡层，该层由与数据布线相同的层形成，并与半导体图形或栅布线重叠。

17. 根据权利要求 11 的薄膜晶体管阵列屏板，还包括至少覆盖源极和漏极间半导体图形的钝化层。

30 18. 根据权利要求 17 的薄膜晶体管阵列屏板，还包括形成于钝化层上的间隔保持件。

19. 根据权利要求 18 的薄膜晶体管阵列屏板，其中间隔保持件由光敏有

机绝缘材料构成。

20. 根据权利要求 19 的薄膜晶体管阵列屏板,其中间隔保持件包括黑树脂。

21. 根据权利要求 11 的薄膜晶体管阵列屏板,其中半导体图形具有双层
5 结构。

22. 根据权利要求 21 的薄膜晶体管阵列屏板,其中半导体图形包括第一非晶硅层和第二非晶硅层,第二非晶硅层具有比第一非晶硅层低的带隙,并形成于第一非晶硅层上。

23. 根据权利要求 11 的薄膜晶体管阵列屏板,其中栅绝缘层具有双层结
10 构,包括下栅绝缘层和上栅绝缘层。

24. 根据权利要求 23 的薄膜晶体管阵列屏板,其中上和下栅绝缘层包括有机绝缘材料、非晶氮化硅或非晶氧化硅。

25. 一种液晶显示器,包括:

下绝缘屏板,包括:数据布线,数据布线包括形成于第一绝缘基板上的
15 数据线和形成于第一绝缘基板上像素处的红、绿、蓝滤色器;覆盖数据布线和滤色器的绝缘层;形成于绝缘层上的栅布线,包括与数据线交叉限定像素的栅线和与栅线连接的栅极;覆盖绝缘层上的栅布线的栅绝缘层,具有与绝缘层一起暴露数据线的的第一接触孔;形成于栅极的栅绝缘层上的半导体图形;像素布线,包括源极和漏极及像素电极,所说源极通过第一接触孔与数
20 据线连接,源极和漏极由半导体图形上的相同层形成,并且彼此隔开,像素电极与漏极连接,形成于像素上;

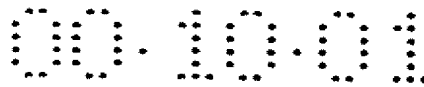
上绝缘屏板,包括形成于与第一绝缘基板相对的第二绝缘基板上的公用电极。

26. 根据权利要求 25 的液晶显示器,还包括至少覆盖源极和漏极间半导
25 体图形的间隔保持件,用于保持第一和第二绝缘基板间的间隔。

27. 根据权利要求 26 的液晶显示器,其中间隔保持件由包括黑树脂的光敏有机绝缘材料构成。

28. 一种薄膜晶体管阵列屏板,包括:

由栅线和数据线限定的多个像素;及
30 形成在像素处并与栅线和数据线电连接的多个薄膜晶体管和像素电极,



其中薄膜晶体管的半导体层具有包括非晶硅层的双层结构，各非晶硅层具有不同的带隙。

29. 根据权利要求 28 的薄膜晶体管阵列屏板，其中半导体层包括第一非晶硅层和第二非晶硅层，第二非晶硅层具有低于第一非晶硅层的带隙，并形成于第一非晶硅层上。

30. 一种薄膜晶体管阵列，包括：

由栅线和数据线限定的多个像素；及

形成在像素处并与栅线和数据线电连接的多个薄膜晶体管和像素电极，

- 其中作为薄膜晶体管的一个部分的栅绝缘层具有双层结构，包括下绝缘层和上绝缘层。

31. 根据权利要求 30 的薄膜晶体管阵列屏板，其中下和上绝缘层由有机绝缘材料、非晶氮化硅或非晶氧化硅构成。

32. 一种制造用于液晶显示器的薄膜晶体管阵列屏板的方法，包括以下步骤：

在绝缘基板上形成包括数据线的数据布线；

在绝缘基板上像素处形成红、绿和蓝滤色器；

形成覆盖数据布线和滤色器的绝缘层；

在绝缘层上形成包括栅线和栅极的栅布线；

- 在绝缘层上形成覆盖栅布线的栅绝缘层；

在绝缘层和栅绝缘层上形成半导体图形和暴露数据线的的第一接触孔；

在半导体图形上形成欧姆接触层；及

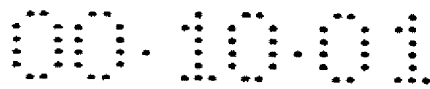
- 形成包括源极和漏极及像素电极的像素布线，所说源极和漏极在欧姆接触层上，由半导体图形上的相同层形成，并彼此隔开，所说像素电极与漏极连接，并形成于像素上。

33. 根据权利要求 32 的方法，其中半导体图形具有双层结构。

34. 根据权利要求 32 的薄膜晶体管阵列屏板，其中栅绝缘层具有双层结构，包括下和上栅绝缘层。

35. 一种制造用于液晶显示器的薄膜晶体管阵列屏板的方法，包括以下步骤：

在绝缘基板上形成包括数据线的的数据布线；



在绝缘基板上像素处形成红、绿和蓝滤色器；

形成覆盖数据布线和滤色器的绝缘层；

通过构图所说绝缘层形成第一接触孔，暴露数据线；

在绝缘层上形成包括栅线和与栅线相连的栅极的栅布线；

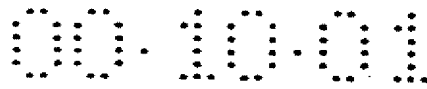
5 在绝缘层上形成覆盖栅布线的栅绝缘层；

形成半导体图形，通过第一接触孔暴露数据线；

在半导体图形上形成欧姆接触层；及

形成包括源极和漏极及像素电极的像素布线，所说源极和漏极在欧姆接触层上，由半导体图形上的相同层形成，并彼此隔开，所说像素电极与漏极

10 连接，并形成于像素上。



说明书

用于液晶显示器的薄膜晶体管 阵列屏板及其制造方法

5

本发明涉及用于液晶显示器的薄膜晶体管阵列屏板及其制造方法。

10 液晶显示器(LCD)是一种最普遍的平板显示器(FPDs)。液晶显示器具有两个屏板，屏板上具有产生电场的电极，两屏板间夹有液晶层。

入射光的透射率通过加于液晶层上的电场强度使液晶显示器的分子的再排列而被控制。

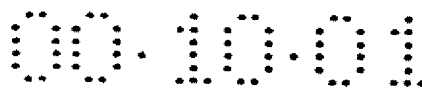
15 在最广泛应用的液晶显示器中，产生电场的电极设置在两个屏板上，一个屏板具有例如薄膜晶体管等开关元件和像素电极，另一屏板上具有滤色器和黑底。

一般说，薄膜晶体管阵列屏板是利用光刻图形作腐蚀掩模，通过光刻工艺制造的。然而，液晶显示器的显示特性会由于形成具有多层结构的薄膜图形时产生的层间未对准而劣化。为解决这个问题，希望利用与薄膜图形的最下层相同的层形成不透明材料构成的对准标记。

20 另一方面，重要的是提高LCD的薄膜晶体管屏板的孔径比，以提高LCD的亮度。然而，LCD具有降低薄膜晶体管的孔径比的数个问题。第一，考虑到由于耦合效应在像素电极和数据线间产生的寄生电容，必须允许两者间存在距离。第二，考虑到LCD两屏板的对准，黑底的宽度必须形成得很宽。为解决这些问题，已有一些方法，夹在像素电极和数据线间的绝缘层可由具有低介电常数的有机材料构成，滤色器可由与具有薄膜晶体管的屏板相同的屏板形成。

25 然而，后一种情况下，由于在形成薄膜晶体管后形成滤色器，并且薄膜晶体管的制造成本比滤色器更高，如果滤色器制造工艺期间产生次品，则工艺成品率下降，制造成本进一步提高。另外，前一种情况下，栅线和像素电极间产生的存储电容不够大。

因此，本发明的目的是提供用于液晶显示器的薄膜晶体管阵列屏板及其



制造方法，可以使 LCD 两屏板间的对准最小化，并增大其孔径。

本发明再一目的是提供用于液晶显示器的薄膜晶体管阵列屏板及其制造方法，可以提高工艺成品率。

5 本发明又一目的是简化用于液晶显示器的薄膜晶体管阵列屏板的制造方法。

本发明还一目的是提供用于液晶显示器的薄膜晶体管阵列屏板及其制造方法，可以减小寄生电容，并具有足够大的存储电容。

10 根据本发明，通过在形成滤色器后形成薄膜晶体管，形成在滤色器下像素处具有开口部分的黑底，在形成滤色器和黑底时形成层间对准标记，可以实现这些和其它目的。

这里，在形成黑底时，形成从外部电路将信号传输给信号线的焊盘或提供公用电压的公用布线。

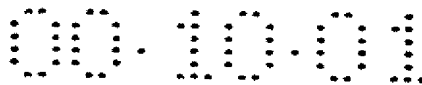
15 根据本发明，通过在滤色器下形成数据线，用数据线作为阻挡入射到薄膜晶体管的光的光阻挡层，并用根据位置而厚度不同的光刻胶图形作腐蚀掩模，一起形成半导体图形和接触孔，从而简化液晶显示器的薄膜晶体管阵列屏板的制造方法，由此实现这些和其它目的。

20 在根据本发明的液晶显示器的薄膜晶体管阵列屏板中，在绝缘基板的显示区上形成在矩阵阵列的像素处具有开口的黑底，绝缘基板包括显示区、在显示区周边的外围区、及除显示区和外围区外的外部区。在绝缘基板上的像素处形成红、蓝和绿滤色器，并形成覆盖黑底和滤色器的绝缘层。在绝缘层上形成包括栅线和与栅线连接的栅极的栅布线，并在绝缘层上形成覆盖栅布线的栅绝缘层。在栅绝缘层上依次形成半导体图形和欧姆接触层，数据布线包括源极和漏极及数据线，源极和漏极由欧姆接触层上的同一层形成，并彼此分开，数据线与源极连接，并通过与栅线交叉限定矩阵阵列形式的像素。
25 形成覆盖数据布线、并具有暴露漏极的第一接触孔的钝化层，并形成包括通过第一接触孔连接漏极的像素电极的像素布线。

可以由与黑底或外部区域的滤色器相同的层形成对准标记。

30 包括给与像素电极相对的公用电极传输公用信号的公用信号线和从外部电路给公用信号线传输公用信号且与公用信号线相连的公用焊盘，可以由与黑底相同的层形成。

栅布线还包括连接外部电路并从外部电路接收信号的栅焊盘，数据布线



还包括连接外部电路并从外部电路接收信号的数据焊盘。栅焊盘或数据焊盘可由与外围区上的黑底、栅布线或数据布线相同的层形成。

希望红、绿和蓝滤色器的边缘部分与黑底的部分重叠，绝缘层由有机绝缘材料制成。

- 5 根据本发明，用于液晶显示器的另一薄膜晶体管阵列屏板中，在绝缘基板上形成包括数据线的的数据布线，在绝缘基板的像素处形成红、绿、蓝滤色器。在覆盖数据布线和滤色器的绝缘层上形成包括栅线和栅极的栅布线，栅线与数据线交叉限定像素，栅极与栅线连接。在覆盖栅布线、并具有与该绝缘层一起暴露数据线的的第一接触孔的栅绝缘层上，依次形成半导体图形和欧
- 10 姆接触层，并在像素的栅绝缘层上形成像素布线，像素布线包括通过第一接触孔与数据线连接的源极和漏极及与漏极连接的像素电极，源极和漏极由半导体图形上的同一层形成，并彼此分开。

- 红、绿和蓝滤色器的边缘与数据线的边缘重叠，绝缘层可由具有小于 3.0 的低介电常数且能够涂敷成厚大于 1 微米的有机绝缘材料构成。欧姆接触层
- 15 可由掺杂微晶化非晶硅、金属硅化物或掺杂微晶化非晶硅构成。

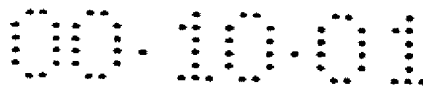
数据布线可以包括阻挡像素间光泄漏的光阻挡层，可以形成至少覆盖源极和漏极间的半导体图形的钝化层，可以在钝化层上形成着色有机层。希望着色有机层由包括黑树脂的光敏有机绝缘材料构成，并用作间隔保持件。

- 在制造用于液晶显示器的薄膜晶体管阵列屏板的方法中，在绝缘基板上
- 20 形成包括数据线的的数据布线，并在像素处形成红、蓝和绿滤色器。接着，在覆盖数据布线和滤色器的绝缘层上形成包括栅线和栅极的栅布线，在该绝缘层上形成覆盖栅布线的栅绝缘层。形成半导体图形和欧姆接触层，同时构图绝缘层和栅绝缘层，形成暴露数据线的的第一接触孔。然后，在像素上形成包括源极和漏极及像素电极的像素布线，源极和漏极位于欧姆接触层上，由半
- 25 导体图形上的同一层形成，并彼此分开，像素电极与漏极相连。

希望第一接触孔、欧姆接触层和半导体层通过利用一个掩模的光刻工艺构图。

- 希望黑底、栅布线或数据布线具有由铝、铝合金、铜或铜合金构成的单层结构，或包括铬、钼、钼合金、氮化铬或氮化钼中一种导电材料的多层结
- 30 构。

另外，可利用与像素电极相同的层形成分别与栅焊盘和数据焊盘连接的



冗余栅焊盘和冗余数据焊盘。

被引入说明书并构成说明书一部分的附图示出了本发明的实施例，它们与说明书一起用于解释本发明的原理。

5 图 1 是根据本发明一个实施例分隔成制造用于 LCD 的 TFT 阵列屏板的基板的平面图。

图 2 是根据本发明一个实施例用于 LCD 的 TFT 阵列屏板的布局图，包括布线和元件。

图 3 是根据本发明第一实施例用于 LCD 的 TFT 阵列屏板的布局图，是包括图 2 的像素和焊盘的一部分的放大示图。

10 图 4 是沿图 3 的线 IV-IV'取的剖面图。

图 5A 是根据本发明第一实施例的第一制造步骤中 TFT 阵列屏板的布局图。

图 5B 沿图 5A 的线 VB-VB'取的剖面图。

15 图 5C 是根据第一实施例分隔为制造 TFT 阵列屏板的基板的平面图，示出了显示区和外围区。

图 6A 是图 5A 后的制造步骤中 TFT 阵列屏板的布局图。

图 6B 是沿图 6A 的线 VIB-VIB'取的剖面图。

图 6C 是根据第一实施例图 5C 之后分隔成制造 TFT 阵列屏板的基板的平面图，示出了显示区和外围区。

20 图 7A 是图 6A 后制造步骤中 TFT 阵列屏板的布局图。

图 7B 是沿图 7A 的线 VIIB-VIIB'取的剖面图。

图 8A 是图 7A 后制造步骤中 TFT 阵列屏板的布局图。

图 8B 是沿图 8A 的线 VIIIB-VIIIB'取的剖面图。

图 9A 是图 8A 后制造步骤中 TFT 阵列屏板的布局图。

25 图 9B 是沿图 9A 的线 IXB-IXB'取的剖面图。

图 10A 是图 9A 后制造步骤中 TFT 阵列屏板的布局图。

图 10B 是沿图 10A 的线 XIB-XIB'取的剖面图。

图 11A 是图 10A 后制造步骤中 TFT 阵列屏板的布局图。

图 11B 是沿图 11A 的线 XIB-XIB'取的剖面图。

30 图 12 是根据本发明第二实施例用于 LCD 的 TFT 阵列屏板的布局图。

图 13 和 14 分别是沿图 12 中的线 XIII-XIII' 和 XIV-XIV'取的剖面图。

图 15A 是根据本发明第二实施例第一制造步骤中 TFT 阵列屏板的布局图。

图 15B 和 15C 分别是沿图 15A 中的线 XVB-XVB'和 XVC-XVC'取的剖面图。

5 图 16A 是图 15A-15C 后的制造步骤中的 TFT 阵列屏板的布局图。

图 16B 和 16C 分别是沿图 16A 中的线 XVIB-XVIB'和 XVIC-XVIC'取的剖面图。

图 17A 和 17B 分别是图 16B 和 16C 后的制造步骤中沿图 16A 中的线 XVIB-XVIB'和 XVIC-XVIC'取的剖面图。

10 图 18A 是图 17A-17B 后的制造步骤中的 TFT 阵列屏板的布局图。

图 18B 和 18C 分别是沿图 18A 中的线 XVIIB-XVIIB'和 XVIIC-XVIIC'取的剖面图。

图 19A 、 20A 和 21A 及 19B 、 20B 和 21B 分别是沿图 18A 中的线 XVIIIB-XVIIIB'和 XVIIIC-XVIIIC'取的剖面图，是在图 18B-18C 后的制造步骤中。

15 图 22A 是在图 21A-21B 后的制造步骤中 TFT 阵列屏板的布局图。

图 22B 和 22C 分别是沿图 22A 中的线 XXIIB-XXIIB'和 XXIIC-XXIIC'取的剖面图。

图 23 是根据本发明第三实施例的用于 LCD 的 TFT 阵列屏板的布局图。

20 图 24 是沿图 23 中的线 XXIV-XXIV'取的剖面图。

图 25A 是根据本发明第三实施例的第一制造步骤中 TFT 阵列屏板的布局图。

图 25B 是沿图 25A 中的线 XXVB-XXVB'取的剖面图。

图 26A 是图 25A 后的制造步骤中 TFT 阵列屏板的布局图。

25 图 26B 是沿图 26A 中的线 XXVIB-XXVIB'取的剖面图。

图 27A 是图 26A 后的制造步骤中 TFT 阵列屏板的布局图。

图 27B 是沿图 27A 中的线 XXVIIIB-XXVIIIB'取的剖面图。

图 28A 是图 27A 后的制造步骤中 TFT 阵列屏板的布局图。

图 28B 是沿图 28A 中的线 XXVIIIIB-XXVIIIIB'取的剖面图。

30 图 29 是图 27B 后的制造步骤中沿图 28A 中的线 XXVIIIIB-XXVIIIIB'取的剖面图。

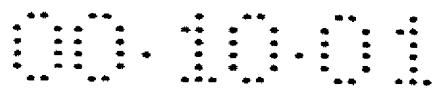


图 30 和 31 是根据本发明再一实施例的第四制造步骤中 TFT 阵列屏板的剖面图。

图 32A 是根据本发明第三实施例第五制造步骤中 TFT 阵列屏板的布局图。

5 图 32B 是沿图 32A 中的线 XXXIIB-XXXIIB'取的剖面图。

图 33 是根据本发明第四实施例的用于 LCD 的 TFT 阵列屏板的布局图。

图 34 是根据本发明第五实施例的用于 LCD 的 TFT 阵列屏板的布局图。

图 35 是沿图 34 中的线 XXXV-XXXV'取的剖面图。

10 图 36A 是根据本发明第五实施例第一制造步骤中的 TFT 阵列屏板的布局图。

图 36B 是沿图 36A 中的线 XXXVIB-XXXVIB'取的剖面图。

图 37A 是图 36A 后的制造步骤中 TFT 阵列屏板的布局图。

图 37B 是沿图 37A 中的线 XXXVIIB-XXXVIIB'取的剖面图。

图 38A 是图 37A 后的制造步骤中 TFT 阵列屏板的布局图。

15 图 38B 是沿图 38A 中的线 XXXVIIIIB-XXXVIIIIB'取的剖面图。

图 39A 是图 38A 后的制造步骤中 TFT 阵列屏板的布局图。

图 39B 是沿图 39A 中的线 XXIXB-XXIXB'取的剖面图。

图 40A 是根据本发明第五实施例第五制造步骤中的 TFT 阵列屏板的布局图。

20 图 40B 是沿图 40A 中的线 XXXXB-XXXXB'取的剖面图。

图 41 是透射率 % 随滤色器处理条件变化的照片。

图 42A 和 42B 是在根据本发明一个实施例制造薄膜晶体管阵列屏板的方法中是否淀积硅层条件下滤色器表面的照片。

图 43 是根据本发明第一个实施例 TFT 特性随淀积温度变化的曲线图。

25 图 44 是根据本发明第六实施例用于 LCD 的 TFT 阵列屏板的布局图。

图 45 是沿图 44 中的线 XXXXV-XXXXV'取的剖面图。

图 46 是根据本发明第七实施例用于 LCD 的 TFT 阵列屏板的布局图。

图 47 是图 46 中的线 XXXXVII-XXXXVII'取的剖面图。

下面结合其中展示了优选实施例的各附图更充分地介绍本发明。然而，
30 本发明可以许多不同方式实施，不应认为本发明限于这里所介绍的实施例，
提供这些实施例为的是完全彻底公开本发明，这些实施例能够将本发明范围

充分告知所属领域的技术人员。附图中，为清楚起见层和区的厚度被放大。所有附图中类似的数字表示类似的部分。应理解，在例如层、区或基板等部分被称作“在”另一部分上时，是指它可以直接位于另一部分上，或可以存在于中间部分。相反，一个部分称为“直接在”另一部分上，则不存在中间部分。

首先，在根据本发明制造薄膜晶体管屏板的方法中，在形成薄膜晶体管之前形成滤色器，并形成在滤色器之下像素处具有开口部分的黑底。另外，在形成滤色器或黑底时，形成用于层间对准的对准标记。

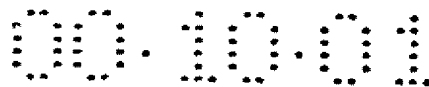
下面结合图 1-4 介绍根据本发明一个实施例的 TFT 阵列屏板结构。

如图 1 所示，多个屏板区形成于绝缘板 1 上。例如，如图 1 所示，在玻璃板 10 上形成有六个屏板区 110、120、130、140、150 和 160。在各屏板是 TFT 阵列屏板时，屏板区 110、120、130、140、150 和 160 分别包括具有多个像素的显示区 111、121、131、141、151 和 161 和外围区 112、122、132、142、152、162。TFT 布线和像素电极在显示区 111、121、131、141、151、161 中按矩阵形式重复排列，在外围区 112、122、132、142、152、162 中，设有与外部电路连接的焊盘及公用布线，公用布线包括从外部电路将公用信号传输给与像素电极相对的公用电极的公用焊盘，和使公用信号的延迟最小的公用信号线。

以此方式，通过利用腐蚀掩模的几个光刻工艺，形成具有多层结构的薄膜图形，从而制造用于液晶显示器的薄膜晶体管阵列屏板。此时，希望具有多层结构的薄膜图形应准确地对准。为准确地对准各薄膜图形，希望在板 10 的外部区域 100 中形成不透明材料构成的对准标记。

图 2 是根据本发明一个实施例的图 1 所示 TFT 阵列屏板区的布局图。

如图 2 所示，在由虚线 1 包围的显示区内，形成多个 TFTs3、与之电连接的多个像素电极 82、包括栅线 52 和数据线 92 的多个布线、在对应于由栅线 52 和数据线 92 限定的多个像素的部分具有开口的黑底 22。此时，希望黑底 22 的边缘被虚线 1 拓宽到足以阻挡显示区边缘的光泄漏，如图 2 所示。栅焊盘 26 和数据焊盘 98 分别连接栅线 52 和数据线 92，并形成在外围区。另外，在显示区外的上周边上形成公用信号线 25，在外围区中形成公用焊盘 27，公用焊盘 27 与公用信号线 25 连接，用于从外部电路将公用信号传输给公用信号线 25。另一方面，在由虚线 2 包围的外围区之外的外部



区域中形成对准标记 29。

这里，优选对准标记 29 位于外部区域 100 的四个角，公用信号线 25 形成外围区 112、122、132、142、152、162 的除一个侧边部分外的边缘，在那里形成栅焊盘 26，从而包围显示区 111、121、131、141、151、
5 161。

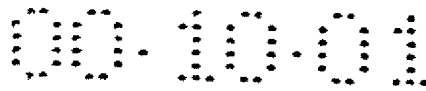
图 3 和 4 是根据本发明一个实施例图 2 所示 TFT 阵列屏板的放大示图，图 3 是布局图，图 4 是沿图 3 中的线 IV-IV' 取的剖面图。

在下绝缘基板 10 上，形成具有例如铝基材料、铜基材料、钼基材料、氮化铬或氮化钼等导电材料的单层结构或多层结构黑底 22。黑底 22 在对应于矩阵阵列像素的部分具有开口，所以具有网形，可以阻挡相邻像素间漏光。黑底 22 可以具有不同的结构阻挡入射到将要形成的薄膜晶体管半导体层 70 的光。另外，公用信号线 25 由与黑底 22 相同的层形成，形成与公用信号线 25 连接，用于从外部电路将公用信号传输到公用信号线 25 的公用焊盘 27，参见图 2。另一方面，用与黑底 22 相同的层形成用于制造工艺期间修正层间对准的对准标记 29(参见图 2)和从外部电路将扫描信号传输到以后将形成的栅布线 52 和 54 的栅焊盘 26。自然，可以用与黑底 22 相同的层形成从外部电路将图像信号传输到以后将形成的数据线 92 的数据焊盘，但该实施例中未示出。
10
15

这里，由于公用布线 25 和 27 形成在外围区的周边，所以用于阻挡显示区 111、121、131、141、151、161 外部周边的光泄漏，希望它由例如铝基材料、铜基材料和银基材料等导电材料构成，以便延迟公用信号。另外，公用布线 25 和 27 可包括与以后将形成的像素布线 112、116、118 的氧化铟锡或氧化铟锌具有良好接触特性的导电材料。
20

在下绝缘基板 10 上在像素中，形成其边缘与黑底 22 重叠的红、绿、蓝滤色器 31、32、和 33。这里，滤色器 31、32 和 33 可以在黑底 22 上彼此重叠，希望滤色器 31、32、33 由在超过 350℃ 的薄膜晶体管制造工艺温度范围内色性质耐久的材料构成。
25

形成覆盖黑底 22、公用布线 25 和 27、栅焊盘 26 和滤色器 31、32、33 的有机绝缘层 40，该绝缘层由在 300℃ 以上范围内具有良好耐热性、具有小于 3.0 的低介电常数的材料例如二苯并环丁烯(BCB)和全氟环丁烯(PFCB)构成。有机绝缘层 40 具有接触孔 42 和 46。
30



在有机绝缘层 40 上，形成由例如铝(Al)和铝合金、钼(Mo)或钼钨合金(MoW)、铬(Cr)、钽(Ta)和铜或铜合金等金属或导电材料构成的栅布线。栅布线包括多个栅线(扫描信号线)52 和作为栅线 52 一部分的多个 TFTs 栅极 56，所说栅线在水平方向延伸，并通过接触孔 42 与栅焊盘 26 连接。栅线 52 与以后将介绍的像素电极 112 一起形成存储电容。如果像素电极 112 和存储布线 52 间的存储电容不够大，则可以提供存储布线。

栅布线 52 和 56 可以是具有例如铝基材料、铜基材料或银基材料等低电阻率的单层结构或多层结构。这里，由于从外部电路传输信号的栅焊盘 26 由与栅布线 52 和 56 不同的层形成，所以在不考虑与其它材料的良好接触时，栅线布 52 和 56 可以具有单层结构。

在有机绝缘层 40 上形成氮化硅(SiNx)栅绝缘层 60，覆盖栅布线 52 和 56。

在栅极 56 的栅绝缘层 60 上形成岛形半导体层 70，该层由例如氢化非晶硅等半导体构成。

在半导体层 70 上形成相对于栅极 56 分开的欧姆接触层 85 和 86。欧姆接触层 85 和 86 可以具有掺杂的微晶化非晶硅、金属硅化物或掺杂的微晶化非晶硅。

在欧姆接触层 85 和 86 及栅绝缘层 60 上，形成例如铝基材料、铜基材料和银基材料等具有低电阻率的导电材料构成的数据布线。数据布线具有多个在垂直方向延伸的数据线 92、多个数据焊盘 98 及多个 TFTs 的源极 95，所说数据焊盘 98 与数据线 92 的一端连接，用于从外部电路将图像信号传输到数据线 92，源极 95 在欧姆接触层的部分 85 上与数据线 92 连接。数据线还具有形成于欧姆接触层的部分 86 上的多个漏极 96。

数据布线部分 92、95、96 和 98 可以具有由例如栅布线 52 和 56 等具有低电阻率的导电材料构成的单层结构及多层结构。在数据布线具有多层结构时，优选一层由具有低电阻率的材料构成，另一层由具有与其它材料良好接触性质的材料构成。在由与栅焊盘 26 相同的层形成数据焊盘 98 的情况下，在不考虑与其它材料的良好接触的条件下，数据布线 92、95、96 和 98 也可以具有单层结构。

在数据布线部分 92、95、96 和 98 和未被数据布线部分 62、65、66 和 68 覆盖的半导体层 70 上，形成由例如 SiNx 和丙烯酸基材料的有机绝缘

材料等绝缘材料的钝化层 100。

钝化层 100 具有分别暴露漏极 96 和数据焊盘 98 的接触孔 102 和 108，还具有(与栅绝缘层 60 一起)暴露栅焊盘 26 的另一接触孔 106。

在像素的钝化层 100 上，形成像素电极 112，像素电极 112 接收图像信号，并与上屏板的公用电极一起产生电场。像素电极 112 通过接触孔 102 与漏极 96 物理和电连接，从漏极 96 接收图像信号。尽管在像素电极 112 与栅线 52 或相邻数据线 92 重叠时增大了孔径比，但这些线 52 和 92 不必与像素电极 112 重叠。在钝化层 100 上形成冗余栅焊盘 116 和冗余数据焊盘 118，它们分别通过接触孔 106 和 108 与栅焊盘 26 和数据焊盘 98 连接。这里，像素电极 112 及栅和数据焊盘 116 和 118 都由例如氧化铟锡(ITO)和氧化铟锌(IZO)等透明导电材料构成。在这些冗余焊盘 116 和 118 保护焊盘 26 和 98，补偿外部电路与焊盘 26 和 98 间的粘附性时，它们是任选的。

该实施例中，透明材料取 ITO 或 IZO 作为例子，但在反射型 LCD 中也可以使用不透明材料。

在根据本发明用于液晶显示器的薄膜晶体管中，由于具有低介电常数的栅绝缘层 60 和钝化层 100 夹在数据线 92 和像素电极 112 之间，可以减小其间的耦合电容。因此，由于不必在数据线 92 和像素电极 112 间保留间隔，所以可以改善液晶显示器的特性，并提高孔径比。

下面将结合图 5A-11B 和 1-4 介绍根据本发明第一实施例的薄膜晶体管阵列屏板的制造方法。

首先，如图 5A 和 5B 所示，淀积导电层，并通过光刻工艺利用干法或湿法腐蚀构图，在透明绝缘基板 10 上形成黑底 22。

这里，在基板 10 的外围区 112、122、132、142、152 和 162(参见图 1)的边缘，形成包括公用信号线 25 和公用焊盘 27 的公用布线及栅焊盘 26，在外部区域 100 形成对准标记 29(参见图 1)。

此时，如果在形成黑底 22 时形成对准标记 29，则可以准确地对准以后将形成的包括栅布线 52、56 和数据布线 92、95 和 96 等多个薄膜。

这里，导电材料可以包括例如铝基材料、铜基材料和银基材料等具有低电阻率的材料，例如铬、钼和钛等具有良好接触性质的另一材料，或例如氮化铬和氮化钼等具有低反射率的另一种材料。

自然，也可以此时形成数据焊盘，许多种对准标记用于对准以后将形成

的滤色器，以便在完成了薄膜晶体管阵列屏板后切割衬底 10 的部分，并对准密封注入到液晶显示器两屏板间的液晶材料的密封材料。

5 然后，依次淀积具有光敏性质的红、绿和蓝树脂，并利用一掩模，通过光刻工艺构图，形成红、绿、蓝滤色器 31、32 和 33。此时，希望树脂具有耐热性，在 350℃ 以上的范围色特性不下降。为形成滤色器 31、32 和 33，使用三块掩模，但也可移动使用一块掩模，可以降低成本。另外，可以不用掩模，采用激光复制、丝网印刷或偏移印刷降低制造成本。此时，如图所示，希望滤色器 31、32 和 33 的边缘与黑底 22 重叠。

10 此时，如图 6C 所示，使用孔板 500，防止光敏材料在形成滤色器 31、32 和 33 时盖住对准标记 29。

另一方面，如果在形成黑底 22 时不形成对准标记 29，则可以由用于滤色器的光敏材料形成多个对准标记 39，如图 6C 所示。

15 然后，如图 7A 和 7B 所示，在基板 10 上淀积有机绝缘层 40，该层由在 350℃ 以上具有耐热性及良好平整性的有机材料构成，例如二苯并环丁烯 (BCB) 和全氟环丁烯 (PFCB)，并通过光刻工艺，利用干法腐蚀构图形成暴露栅焊盘 26 的接触孔 42 和 46。此时，可以形成暴露公用布线 25 和 27 的接触孔，在由光敏材料形成有机绝缘层 40 的情况下，可以不用干法腐蚀步骤，只用光刻工艺形成它们。自然，如果栅焊盘和公用布线 25 和 27 不形成在有机绝缘层 40 之下，则不必构图有机绝缘层 40，在由与黑底 22 相同的层形成数据焊盘时，可以形成暴露数据焊盘的接触孔。

20 然后，如图 8A 和 8B 所示，利用如溅射等方法，在基板 10 上淀积例如铝或铝合金、铜或铜合金和银基材料等具有低电阻率导电材料层，并通过光刻工艺，利用湿法或干法腐蚀，形成包括具有通过接触孔 42 与栅焊盘 26 连接的栅线 52 的栅布线的栅极 56。此时，用于栅布线 52 和 56 的导电材料不必淀积在形成对准标记 29 或 39 的部分，以便在准确对准形成栅布线 52 和 56 的光刻工艺中使用的掩模时使用对准标记 29 和 39。为达此目的，使用如图 6C 所示的孔板 500，在淀积用于栅布线 52 和 56 的导电材料之前挡住对准标记 29 或 39。然后，利用对准标记 29 和 39 准确地对准形成栅布线 52 和 56 的掩模。此时，如图 8A 和 8B 所示，希望栅布线 52 和 56 位于黑底 22 的水平部分中。

30 另一方面，在不使用孔板 500 的情况下，淀积栅布线的导电材料，并构

图暴露外部区域 100(参见图 1)的对准标记 29 或 39 , 然后通过对准标记 29 或 39 对准掩模, 构图栅布线的导电材料, 便可以形成栅布线 52 和 56 。也可以构图有机绝缘层 40 , 暴露外部区域 100 中的对准标记 29 或 39(参见图 1), 然后, 淀积栅布线的导电材料后, 形成由对准标记 29 或 39 造成的台阶。

- 5 接着, 通过激光器, 可以得到台阶的位置数据, 可以通过台阶的位置数据对准掩模, 从而形成栅布线 52 和 56 。也可以淀积栅布线导电材料, 然后通过基板 10 下辐射激光, 得到位置数据, 并通过对准标记 29 或 39 的位置数据对准掩模, 从而形成栅布线 52 和 56 。

- 10 这里, 如上所述, 尽管像素布线 112 、 116 和 118 由氧化铟锡构成, 但由于栅焊盘 26 由不同于栅布线 52 和 56 的层形成, 所以栅布线 52 和 56 可具有由如铝和铝合金等具有低电阻率的导电材料构成的单层结构。因此, 制造工艺可以比调节形成具有多层结构的栅布线 52 和 56 的各种腐蚀条件要简单地多。自然, 在由与栅布线 52 和 56 相同的层形成栅焊盘情况下, 希望栅布线 52 和 56 是包括具有低电阻的一种导电层和具有良好接触特性的另一导电层的双层结构。

接着, 如图 9A 和 9B 所示, 依次层叠栅绝缘层 60 、非晶硅半导体层 70 和掺杂非晶硅欧姆接触层 80 。然后, 利用掩模构图工艺, 在栅极 56 和相对栅绝缘层 60 上, 形成都为岛形的半导体层 70 和欧姆接触层 80 。

- 20 然后, 如图 10A 和 10B 所示, 利用例如溅射等方法, 淀积例如铬、钼、钼合金、钛或钽等导电层, 并利用掩模通过光刻工艺构图, 形成包括与栅线 52 交叉的数据线 92 、与数据线 92 连接且在栅极 56 上延伸的源极 95 、与源极 95 分开并相对于栅极 56 与源极 95 相对的漏极 96 、和与数据线 92 的端部连接的数据焊盘 98 。

- 25 然后, 利用数据布线 92 、 95 、 96 和 98 作掩模, 腐蚀欧姆接触层 80 , 等离子干法腐蚀将欧姆接触层 80 以栅极 56 为中心分开, 暴露欧姆接触层 85 和 86 之间的非晶硅层 70 的中心部分。可以进行氧等离子, 得到表面稳定的非晶硅层 70 。

- 30 利用上述步骤形成数据布线部分 92 、 95 、 96 和 98 后, 通过淀积例如氮化硅(SiN_x)等无机绝缘体, 形成钝化层 100 , 如图 11A 和 11B 所示, 并通过腐蚀钝化层 100 和栅绝缘层 60 构图形成分别暴露栅焊盘 26 、漏极 96 和数据焊盘 98 的接触孔 106 、 102 和 108 。此时, 还形成暴露公用布线 25 和

27 的接触孔。

接着，如图 3 - 4 所示，淀积 ITO 层，并利用掩模通过光刻进行腐蚀，形成分别通过接触孔 102、106 和 108 与漏极 96、栅焊盘 26 和数据焊 98 相连的像素电极 112、冗余栅焊盘 116 和冗余数据焊盘 118。

5 另一方面，在与下基板 10 相对的上绝缘基板(未示出)上，形成由 ITO、IZO 或银构成的公用电极。

10 在根据本发明实施例的制造方法中，通过在形成黑底 22 或滤色器 31、32、33 时形成对准标记 29 或 39，可以准确地对准以后将形成的包括栅布线和数据布线的薄膜。另外，通过与薄膜晶体管一起在下基板 10 上形成滤色器 31、32、33 和黑底 22，由于不必考虑下基板与上基板间的对准，所以可以提高孔径比。

15 另外，通过在形成高成本的薄膜晶体管之前形成低成本的滤色器 31、32 和 33，尽管滤色器制造工艺产生次品，但不影响最终的工艺成品率，因此，制造成本可以降低。另外，由于滤色器和薄膜晶体管通过不同的制造工艺系统形成，所以可以使工艺效率最高。也就是说，在通过外订完成了具有被有机绝缘层 40 覆盖的滤色器的基板后，可以通过在附加制造工艺系统中利用 5 块掩模的光刻工艺制造薄膜晶体管阵列屏板。

另外，通过形成由铝、铝合金、银或银合金构成的布线 52 和 56，可以提高大规模 LCDs 显示器件特性。

20 另外，通过在上基板上仅形成公用电极，可以减小上基板的厚度，并且由于对上基板材料没有限制，所以可以降低制造成本。根据本发明的薄膜晶体管阵列屏板容易适用于具有包括多个开口部分的公用电极的垂直构图对准型(PVA)液晶显示器。

25 在第一实施例中，在有机绝缘层 40 后，利用 5 块光掩模通过光刻工艺制造薄膜晶体管阵列屏板，但也可以利用 4 块光掩模通过光刻工艺制造薄膜晶体管阵列屏板，下面将结合图 12-14 介绍该过程。这里栅焊盘由与栅布线相同的层形成。

图 12 是根据本发明第二实施例用于液晶显示器的薄膜晶体管阵列屏板的布局图，图 13 和 14 是沿图 12 中的线 XIII-XIII' 和 XIV-XIV' 取的剖面图。

30 首先，象第一实施例一样，形成黑底 22 和滤色器 31、32、33，在下绝缘基板 10 上形成覆盖它们的有机绝缘层 40。

象第一实施例一样，在有机绝缘层 40 上形成包括栅线 52、栅焊盘 54 和栅极 56 的栅布线。栅布线还包括存储电极 58，该电极形成为与栅线 52 平行，并被加以施加于液晶器的上屏板上的公用电极的公用电压等电压。存储电极 58 与连接到以后将介绍的像素电极 112 的导体图形 94 一起提供存储电容。液晶电容器包括像素电极 112 和公用电极。如果像素电极 112 和栅线 52 间的存储电容足够大，则可不提供存储电极 58。

在有机绝缘层 40 上形成氮化硅(SiN_x)栅绝缘层 60，覆盖栅布线部分 52、54、56 和 58。

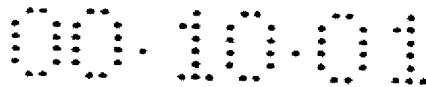
在栅绝缘层 60 上形成半导体图形 72 和 78(由例如氢化非晶硅构成)。在半导体图形 72 和 78 上形成欧姆接触层图形 85、86 和 88(由例如重掺杂有如磷等杂质的掺杂非晶硅等材料构成)。

在欧姆接触层图形 85、86 和 88 上，形成例如 Mo 或 Mo 合金、Cr、Ti 和 Ta 等导电材料构成的数据布线。数据布线具有包括在图 12 上垂直方向延伸的数据线 92 的数据线部分、与数据线 92 的一端连接用于从外部电路将图像信号传输到数据线 92 的数据焊盘 98、薄膜晶体管的与数据线 92 连接的源极 95。数据布线还包括在薄膜晶体管的栅极 56 或沟道部分 C 另一侧上的薄膜晶体管的漏极 96，漏极 96 与数据线部分 92、94、95 隔开，用于存储电容的导体图形 94 位于存储电极 58 上。在不提供存储电极 58 时，没有导体图形 94。

数据布线部分 92、94、95、96 和 98 可以具有多层结构。自然，在数据布线具有双层结构时，优选一层由如铝或铝合金等材料构成，另一层由如 Mo 或 Mo 合金、Cr、Ti 和 Ta 等材料构成。

欧姆接触层 85、86 和 88 用于减少半导体图形 72 和 78 与相应的数据布线部分 92、94、95、96 和 98 间的接触电阻，具有与数据布线部分 92、94、95、96 和 98 相同的布局。换言之，数据线部分下的第一欧姆接触层部分 85 具有与数据线部分 92、98 和 95 相同的形状，漏极部分下的第二欧姆接触层部分 86 具有与漏极 96 相同的形状，导体图形 94 下的第三欧姆接触层部分 88 具有与用于存储电容的导体图形 94 相同的形状。

除薄膜晶体管的沟道部分 C 外的半导体图形 72 和 78 具有与相应的数据布线部分 92、94、95、96 和 98 及相应的欧姆接触层图形 85、86 和 88 相同的布局。或，更具体说，半导体部分 78、导体图形 94 和第三欧姆接触



层部分 88 具有相同形状，但半导体部分 72 与数据布线和欧姆接触层图形具有不同的形状。换言之，数据线部分 92、98 和 95 尤其是源极 95 和漏极 96 被薄膜晶体管的沟道部分 C 彼此隔开，其下的欧姆接触层图形部分 85 和 86 也被彼此隔开，但半导体部分 72 未被分成两部分，所以它横跨薄膜晶体管的沟道。

在数据线部分 92、94、95、96 和 98 上形成由氮化硅构成的钝化层 100。

钝化层 100 具有分别暴露漏极 96、栅焊盘 54、数据焊盘 98 和为存储电容提供的导体图形 94 的接触孔 102、106、108 和 104。

在钝化层上，形成接收图像信号，并与上屏板的公用电极一起产生电场的像素电极 112。像素电极 112 由例如 ITO、IZO 等透明导电材料构成。像素电极 112 通过接触孔 102 与漏极 96 物理和电连接，接收漏极来的图像信号。尽管在像素电极 112 与栅线 52 或相邻数据线 92 重叠时提高了孔径比，但这些线不必与像素电极重叠。像素电极 112 通过接触孔 104 连接用于存储电容的导体图形 94，并将图像信号传输到导体图形 94。

在栅焊盘 54 和数据焊盘 98 上，形成分别通过接触孔 106 和 108 与栅焊盘 54 和数据焊盘 98 连接的冗余栅焊盘 116 和冗余数据焊盘 118。冗余焊盘 116 和 118 保护焊盘 54 和 98，补偿外部电路与焊盘 54 和 98 间的粘附性，它们是任选的。

下面结合图 15A-22C 和图 12-14 介绍本发明一个实施例的薄膜晶体管阵列屏板的制造方法。

首先，象第一实施例一样，在绝缘层 10 上顺序形成黑底 22、滤色器 31、32 和 33 和有机绝缘层 40。此时，象第一实施例一样，形成对准标记 29 或 39(参见图 5C 或 6C)。

然后，如图 16A-16C 所示，淀积例如铝或铝合金等具有低电阻率的导电层，并象第一实施例一样，利用第一掩模通过光刻工艺，进行干法或湿法腐蚀，构图形成包括栅线 52、栅极 56、栅焊盘 54 和存储电极 58 的栅布线部分。此时，也可以用不同的方法暴露对准标记，或得到对准标记的位置数据，以便对准用于形成栅线 52、栅极 56、栅焊盘 54 和存储电极 58 的第一掩模。

然后，如图 17A 和 17B 所示，利用例如化学汽相淀积(CVD)法，顺序淀积厚度分别为 1500 微米-5000 微米、500 微米-2000 微米和 300 微米-600 微

米的栅绝缘层 60、半导体层 70 和欧姆接触层 80。然后，利用如溅射法等
方法淀积厚为 1500 微米-3000 微米的例如金属等导体层 90，并在导体层 90
上涂敷厚 1-2 微米的光刻胶层 130。

然后，通过第二掩模将光刻胶层 130 曝光，并显影形成光刻胶图形 132
5 和 134，如图 18B 和 18C 所示。此时，位于源极 95 和漏极 96 间即图 18C
所示的薄膜晶体管沟道部分 C 上的光刻胶图形的第一部分 134 比位于将形成
数据布线部分 92、94、95、96 和 98 的数据布线部分 A 上的第二光刻胶
图形部分 132 薄。此外，位于部分 B 的第三或其余光刻胶部分比第一部分薄。
第三部分的厚度可以根据腐蚀方法而不同。例如，在使用湿法腐蚀时第三部
10 分的厚度基本上为零，但在使用干法腐蚀时，第三部分的厚度不为零。此时，
第一部分 134 和第二部分 132 间的厚度比取决于以下将介绍的腐蚀条件。然
而，优选第一部分 134 的厚度等于或小于第二部分 132 厚度的一半，例如小
于 4000 微米。

有许多方法可以改变不同位置处光刻胶的厚度，通过形成例如狭缝或格
15 状图形，或通过掩模上提供局部透明的层，可以控制 A 部分的入射光量。

此时，希望狭缝和两狭缝间的不透明部分的尺寸小于曝光装置的分辨
率。在使用局部透明层时，为减少曝光量，可以使用具有不同透射率或具有
不同厚度的膜的掩模。

在通过该掩模曝光光刻胶层时，光刻胶层中的聚合物被光分化。在直接
20 曝光的聚合物部分完全分化时完成曝光步骤。然而，由于入射光少于直接曝
光部分，所以通过狭缝图形曝光的光刻胶层部分的聚合物未完全分化。由于
阻挡层而未曝光的光刻胶部分的聚合物几乎未分化。显影光刻胶层后，几乎
未分化的光刻胶部分全部留下来，在曝光量比充分曝光的部分少的部分下，
留下了较薄的部分。然而，如果曝光时间太长，光刻胶层中的所有聚合物都
25 被分化，因此应避免这种曝光。

通过形成由光敏可回流材料构成的光刻胶层，并通过具有基本透明部分
和基本不透明部分的掩模曝光该光刻胶膜，形成具有厚度为零和不为零的部
分的光刻胶图形，并回流光刻胶，使之流到零厚度部分，形成新光刻胶图形，
可以形成较薄部分 134。

30 参见图 18C，接着对光刻胶图形 134 和包括导体层 90、欧姆接触层 80
和半导体层 70 的底下各层进行腐蚀工艺。在这样做时，可以留下数据布线

和数据布线部分 A 下的各层及沟道部分 C 上的半导体层。此外，从栅绝缘层 60 上去掉其余部分 B 中的三层 90、80 和 70。

如图 19A 和 19B 所示，通过去除其上的导体层 90 暴露部分 B 的欧姆接触层 80。此时，可以使用湿法和干法腐蚀，优选在腐蚀导体层 90 但不腐蚀光刻胶层 132 和 134 的条件下进行这种腐蚀。然而，由于干腐蚀情况下难以实现，所以在也腐蚀光刻胶图形 132、134 的条件下进行腐蚀。这种情况下，第一部分 134 制造得厚于湿法腐蚀情况下的厚度，以便不暴露导体层 90。

如果导体层 90 由 Mo、MoW 合金、Al 和 Al 合金或 Ta 构成，则可以使用干法或湿法腐蚀。然而，如果导体层 90 由 Cr 构成，由于 Cr 不容易通过干法腐蚀去掉，所以较好是湿法腐蚀。可用 CeNH_3O_3 作腐蚀 Cr 导体层 90 的湿法腐蚀剂。可用 CF_4 和 HCl 或 CF_4 和 O_2 混合气体系统干法腐蚀 Mo 或 MoW 合金导体层 90，这种情况下，后一系统对光刻胶层的腐蚀速率与导体层 90 的类似。

参见图 19A 和 19B，结果，只有沟道部分 C 和用于源/漏极和存储电容的数据布线部分 B 处光刻胶层 132 和 134 下的导体部分 97 和 94 留了下来，部分 B 的其余部分导体层 90 全部被去掉，露出了底下的欧姆接触层 80。此时，除源极 95 和漏极 96 彼此连接外，导体图形 97 和 94 具有与数据布线部分 92、94、95、96 和 98 相同的布局。在使用干法腐蚀时，也腐蚀了一定厚度的光刻胶层 132 和 134。

然后，通过干法腐蚀，图 20A 和 20B 中部分 B 处的暴露欧姆接触层部分 80 和底下的半导体层与光刻胶层的第一部分 134 一起被去掉。腐蚀条件可以是使光刻胶图形 132 和 134、欧姆接触层 80 和半导体层 70 都被腐蚀(半导体层和欧姆接触层几乎具有相同的腐蚀速率)，但栅绝缘层 60 必须不被腐蚀。优选光刻胶图形 132 和 134 与半导体层 70 的腐蚀速率几乎相同。例如，在使用 SF_6 和 HCl 或 SF_6 和 O_2 的混合气体系统的情况下，可以做到。此时，如果光刻胶图形 132 和 134、半导体层 70 的腐蚀速率几乎相同，则第一部分 134 的厚度等于或小于半导体层 70 和欧姆接触层 80 的总厚度。然后，如图 20A 和 20B 所示，通过去掉沟道部分 C 的第一部分 134，暴露导体图形 67，通过去掉部分 B 的欧姆接触层 80 和半导体层 70，暴露栅绝缘层 60，如图 20B 所示。同时，数据布线部分 A 上的第二部分 132 的厚度由于腐蚀而减小。另外，在该步，获得完成的半导体图形 72 和 78。参考数字 87 和 88

分别表示用于源/漏极和存储电容的导体图形 97 和 94 下的欧姆接触层图形。

然后，通过灰化或等离子腐蚀，去掉导体图形 97 上的其余光刻胶层。

- 然后，如图 21A 和 21B 所示，通过腐蚀去掉沟道部分 C 处用于源/漏极的导体图形 97，和图 20B 的用于源/漏极的欧姆接触层图形 87。此时，可利用干式腐蚀法腐蚀导体图形 97 和欧姆接触层 87，或利用湿式腐蚀法腐蚀导体图形 97，利用干式腐蚀法腐蚀欧姆接触层 87。前一种情况下，优选使用在导体图形 97 和欧姆接触层图形 87 间具有大腐蚀选择率的腐蚀条件。这是由于如果腐蚀选择率不够大，无法探测腐蚀终点和控制沟道部分 C 周围的半导体图形 72 的厚度。例如，这可以利用 SF_6 和 O_2 的混合气体系统实现。
- 10 在先后进行湿式腐蚀和干式腐蚀的后一种情况下，尽管将进行干法腐蚀的欧姆接触层图形 87 几乎不被腐蚀，但进行湿式腐蚀的导体图形 97 的侧边也被腐蚀。因此，这两个图形 97 和 87 的剖面形成为台阶形状。 CF_4 和 O_2 或 CF_4 和 HCl 混合气体系统为腐蚀欧姆接触层图形 87 和半导体图形 72 的腐蚀气体系统的例子。半导体图形 72 也可以通过用 CF_4 和 O_2 的混合气体系统腐蚀形成具有均匀厚度。此时，如图 21B 所示，半导体图形 72 的厚度可以减小，光刻胶图形的第二部分 132 也可以被腐蚀到一定厚度。腐蚀条件也可以设定为不腐蚀栅绝缘层 60，优选使光刻胶图形厚度足以不暴露数据布线部分 92、94、95、96 和 98。

- 结果，源极 95 和漏极 96 被分开，得到完成的数据布线部分 92、94、95、96 和 98 及其下的完成的接触层图形 85、86 和 88。

然后，去掉数据布线(图 18C 中的区 A)上的其余第二部分光刻胶 132。然而，可以在去除图 20B 的沟道部分 C 上用于源/漏极的导体图形 97 的步骤后，在去除导体图形 97 之下的欧姆接触层图形 87 的步骤之前，去除第二部分 132。

- 25 总之，该工艺可以利用湿式腐蚀和进而利用干式腐蚀，或只利用干式腐蚀进行。

- 前一种情况下，首先利用湿式腐蚀去除部分 B 的导体层，然后，通过干式腐蚀去掉其下的欧姆接触层和半导体层。此时，部分 C 的光刻胶层消耗到一定厚度，部分 C 可以有或没有任何残留的光刻胶，基本上取决于部分 C 光刻胶层的初始厚度。在部分 C 具有残留的光刻胶时，可通过灰化去掉残留的光刻胶。最后，湿法腐蚀部分 C 的半导体层，隔开源和漏极，并通过干法腐

蚀去掉部分 C 的欧姆接触层。

后一种情况下，利用干法腐蚀去掉部分 B 的导体层、欧姆接触层和半导体层。与前一种情况一样，部分 C 可以有或没有残留的光刻胶，在部分 C 具有残留的光刻胶时，可通过灰化去掉残留的光刻胶。最后，干法腐蚀部分 C 的导体层，隔开源极和漏极，并利用干法腐蚀去掉部分 C 的欧姆接触层。

如果数据布线也被腐蚀，则可以一次用同一步骤完成半导体图形、接触层图形和数据布线。也就是说，希望干法腐蚀部分 C 的光刻胶图形 134 及其下的接触层 80，并在干法腐蚀部分 B 的导电层、欧姆接触层和半导体层期间，干法腐蚀部分 A 的部分光刻胶图形 132。

10 由于后一种工艺只用一种腐蚀方法，尽管难以得到合适的腐蚀条件，但方法简单。另一方面，前一种工艺的的优点在于尽管更复杂，但容易得到合适的腐蚀条件。

利用上述步骤形成了数据布线部分 92、94、95、96、98 后，利用例如化学汽相淀积(CVD)等方法，形成钝化层 100，如图 22A 和 22B 所示。此时，也优选淀积或涂敷厚大于 3000 微米由例如氮化硅等无机材料或有机材料构成的钝化层 100。

然后，利用掩模，通过光刻工艺将钝化层 100 与栅绝缘层 60 一起构图，形成分别暴露漏极 96、栅焊盘 54、数据焊盘 98 用于存储电容器的导体图形 94 的接触孔 102，106，108 和 104，如图 22A-22C 所示。

20 然后，如图 12-14 所示，淀积厚 400-500 微米的 ITO 层，并利用掩模进行腐蚀，形成与漏极 96 和导体图形 94 连接的像素电极 112、与栅焊盘 54 连接的冗余焊盘 116、与数据焊盘 98 连接的冗余数据焊盘 118。

25 在具有与第一实施例相同效果的第二实施例中，通过一个光刻工艺形成数据布线部分 92、94、95、96 和 98、欧姆接触层图形 85、86 和 88、半导体图形 72 和 78，所以也可以简化薄膜晶体管阵列屏板的制造方法。

30 第二，在制造根据本发明的薄膜晶体管屏板的另一方法中，滤色器在形成薄膜晶体管之前形成，并通过在滤色器下形成数据线，将数据线用作黑底，同时实现了高孔径比、提高的工艺成品率和低寄生电容。另外，通过利用具有根据位置厚度不同的光刻胶图形作腐蚀掩模，与半导体图形一起形成接触孔，可以简化制造工艺。

图 23 是根据本发明第三实施例用于 LCD 的 TFT 阵列屏板的布局图，图

24 是沿图 23 中的线 XXIV-XXIV'取的剖面图。这里，图 24 中一起示出了下和上绝缘基板 101 和 201。

在下绝缘基板 10 上形成数据布线，它包括由铝、铝合金、铜或铜合金构成的下层 901、由铬、钼、钼合金、氮化铬或氮化钼构成的上层 902。数据布线部分包括数据线 92、数据焊盘 98 和光阻挡层 91，数据线 92 在图 23 上的垂直方向延伸，数据焊盘 98 与数据线 92 的一端连接，用于从外部电路向数据线 92 传输图形信号，光阻挡层 91 阻挡从基板 10 的下部入射到薄膜晶体管的半导体层 70 的光，该层与数据线 92 连接。这里，光阻挡层 91 可用作阻挡泄漏光的黑底，并可以与数据线 92 分开。另一方面，阻挡显示区边缘处光泄漏的黑底的垂直部分 99 由与数据布线 91、92 和 98 相同的层形成。

这里，数据布线部分 91、92 和 98 具有双层结构，但也可以具有包括例如铝、铝合金、铜、铜合金、钼、钼钨合金、铬、钽等导电材料的单层结构。另外，考虑到像素布线 111、112、113 由氧化钨构成，数据布线部分 91、92 和 98 包括例如铜、铝和铝合金等具有低电阻率的下层 901 和例如铬等具有良好接触特性的上层 902，但在由氧化钨形成像素布线时，优选数据布线 91、92 和 98 可以是铝、或铝合金构成的单层结构。

在下绝缘基板 10 上像素中形成其边缘与数据布线 91 和 92 重叠的红、绿和蓝滤色器 31、32 和 33。这里，滤色器 31、32 和 33 可在数据布线 91 和 92 上彼此重叠，希望滤色器 31、32 和 33 由在超过 350℃的薄膜晶体管制造工艺的温度范围具有色耐久性的材料构成。

形成覆盖数据布线 91、92 和 98 及滤色器 31、32 和 33 的有机绝缘层 40，该层由在 300℃以上范围内具有良好耐热性、且具有低于 3.0 的低介电常数的材料构成，例如二苯并环丁烯(BCB)和全氟环丁烯(PFCB)。

在有机绝缘层 40 上形成由例如铝(Al)和铝合金、钼(Mo)或钼钨(MoW)合金、铬(Cr)、钽(Ta)和铜或铜合金构成的金属或导电材料构成的栅布线。栅布线包括多个栅线(扫描信号线)52、栅焊盘 54 和多个 TFTs 的栅极 56，栅线 52 在水平方面延伸，栅焊盘 54 从外部电路将扫描信号传输到栅线 52，栅极 56 是栅线 52 的一部分。栅线 52 与以后将介绍的像素电极 112 一起提供存储电容。如果像素电极 112 和栅线 52 间的存储电容不够大，则可以提供存储布线。另一方面，阻挡显示区边缘光泄漏的黑底的水平部分 59 由与

栅布线 52、54 和 56 相同的层形成。

- 5 栅布线 52、54 和 56 可以具有例如铝基材料、铜基材料或银基材料等具有低电阻率的材料构成的单层结构及多层结构。在栅布线部分 52、54 和 56 形成多层结构时，优选一层由具有低电阻率的材料构成，另一层由与其它材料具有良好接触性质的材料构成。例子有 Cr/Al(或铝合金)和 Cu/Cr 双层。另外，为改善接触性质，可以添加氮化铬或氮化钼附加层。如图 24 所示，栅布线 52、54 和 56 包括铬下层 501 和 Al-Nd 上层 502。

在有机绝缘层 40 上形成氮化硅(SiNx)栅绝缘层图形 60，覆盖栅布线 52、54 和 56。

- 10 在栅极 56 的栅绝缘层 60 上，形成由例如氢化非晶硅等半导体构成的岛形半导体层 70。

在半导体层 70 上形成相对于栅极 56 分开的欧姆接触层 85 和 86。欧姆接触层 85 和 86 可以具有掺杂微晶化非晶硅、金属硅化物或掺杂微晶化非晶硅。

- 15 在欧姆接触层图形 85 和 86 上形成由氧化铟锡构成的源 ITO 电极 111 和漏 ITO 电极 113。源 ITO 电极 111 通过有机绝缘层 40 和栅绝缘层 60 中的接触孔 61 与数据线 92 连接，漏 ITO 电极 113 与像素电极连接，像素电极从薄膜晶体管接收图像信号，并与上屏板的公用电极一起产生电场。像素电极 112 物理和电连接源 ITO 电极 113，接收漏 ITO 电极的图像信号。

- 20 在栅焊盘 54 和数据焊盘 98 上，形成通过接触孔 64 和 68 分别与栅焊盘 54 和数据焊盘 98 连接的冗余栅焊盘 114 和冗余数据焊盘 118。这里，冗余栅焊盘 114 与栅焊盘 54 的铬下层 501 直接接触，冗余数据焊盘 118 与数据焊盘 98 的铬上层 902 直接接触。在包括具有氮化铬或氮化钼附加层的栅焊盘 54 和数据焊盘 98 的情况下，希望冗余栅焊盘 114 和冗余数据焊盘 118 分别
- 25 与氮化铬或氮化钼附加层直接接触。在这些冗余焊盘 114 和 118 保护焊盘 54 和 98 不受外部空气的侵蚀，并补偿外部电路与焊盘 54 和 98 间的粘附性时，它们是任选的。即使在像素电极 112 与栅线 52 或相邻数据线 98 重叠时孔径比增大，这些线也不必与像素电极重叠。

- 30 这里，欧姆接触层 85 和 86 用于减小半导体层 70 和 ITO 源和漏极 111 和 113 间的接触电阻，可以包括掺杂微晶化非晶硅、例如铬、钼和镍等金属的硅化物，用于硅化物的金属可以留在欧姆接触层 85 和 86 上。

- 在源和漏 ITO 电极 111 和 113 上形成保护薄膜晶体管的钝化层 100，并在其上形成包括具有良好的光吸收性的光敏抗蚀剂的着色有机层 130。着色有机层 130 用于阻挡入射到薄膜晶体管的半导体层 70 的光，通过调节着色有机层 130 的高度，可以用作保持下基板 10 和上基板 200 间间隔的支撑件。
- 5 通过形成随栅线 52 和数据线 92 形状的着色有机层 130 和钝化层 100，着色有机层 130 和钝化层 100 可以阻挡相邻栅布线和数据布线附近的光泄漏。

另一方面，在上屏板 201 中，在上基板 200 上形成公用电极 210，公用电极 210 与下屏板 101 的像素电极 112 一起产生电场，并由例如 ITO 和 IZO 等透明材料构成。

- 10 这里，有机层 130 是保持上基板 200 和下基板 10 间均匀间隔的支撑件。

在根据本发明的第三实施例，通过由与栅线 52 和数据线 92 相同的层形成黑底的垂直和水平部分 59 和 99，并利用栅线 52 和数据线 92 作黑底，由于不需要考虑下基板和上基板间的对准，所以孔径比提高。

- 15 另外，由于在数据线 92 和像素电极 112 间存在具有低介电常数的栅绝缘层 60 和钝化层 100，所以可以减小耦合电容。因此，由于不必在数据线 92 和像素电极 112 间保留间隔，所以改善了液晶显示器的特性，提高了孔径比。

另外，由于栅绝缘层 60 仅形成于像素电极 112 和栅线 52 间，因此其间可以得到足够大的存储电容。

- 20 另外，通过利用光阻拦层 91 阻挡从基板 10 下部入射的光，可以优化栅极 56 的尺寸，并可以减小栅极 56 与源和漏 ITO 电极 111 和 113 间的寄生电容，减小它们的偏差。因此，可以减少例如针脚和闪烁等显示质量缺陷和漏电流。另外，由于有机绝缘层 40 形成在栅线 52 和数据线 62 间，所以可以减少两者间的短路，由于可以减小栅绝缘层 60 的厚度，可以提高薄膜晶体
- 25 管的质量。

下面结合图 25A-32C 和图 23-24 介绍根据本发明的实施例的薄膜晶体管阵列屏板的制造方法。

- 30 如图 25A 和 25B 所示，利用如溅射等方法，在下基板 10 上淀积由例如铝、铝合金、铜和铜合金等具有低电阻率的导电材料构成的下层 901，和利用如铬、钼、钛、氮化钼和氮化铬等具有良好接触特性(特别是与 ITO)的另一种导电材料构成的上层 902，并利用第一掩模，通过干法或湿法腐蚀，构

图形成包括数据线 92、数据焊盘 98、和光阻挡层 91 的数据布线部分及黑底的垂直部分 99。此时，可以形成不同形状的光阻挡层 91，以便阻挡像素间的光泄漏，下面结合附图进行具体介绍。

这里，考虑到以后将形成的由氧化铟锡构成的像素布线 111、112、113，数据布线部分 91、92 和 98 具有包括下层 901 和上层 902 的双层结构，但在形成由氧化铟锌构成的像素布线 111、112、113 时，也可以具有包括例如铝、铝合金、铜、铜合金、钼、钼钨合金、铬、钽等导电材料的单层结构。另外，在形成由氧化铟锡或氧化铟锌构成的像素布线 111、112、113 时，数据布线部分 91、92 和 98 可以具有由例如铜、铜合金等导电材料构成的单层结构，以简化制造工艺。

然后，如图 26A 和 26B 所示，依次涂敷具有光敏性的红、绿和蓝树脂，并利用掩模，通过光刻工艺构图，形成红、绿、蓝滤色器 31、32 和 33。此时，希望树脂具有耐热性，在超过 350℃ 的范围内以特性不下降，如图所示，希望滤色器 31、32 和 33 的边缘与数据布线 91 和 92 重叠。

然后，如图 27A 和 27B 所示，在基板 10 上淀积有机绝缘层 40，有机绝缘层 40 由在超过 350℃ 时具有耐热性、并且良好的平整性的有机材料构成，例如二苯并环丁烯(BCB)和全氟环丁烯(PFCB)。

然后，利用例如溅射等方法，在基板 10 上淀积由例如铬、钼、钛、氮化钼和氮化铬等具有良好接触特性(特别是与 ITO)的导电材料构成的下层 501，和由例如铝或铝合金、铜或铜合金和银基材料等具有低电阻率的导电材料构成的上层 502，并通过光刻工艺，利用湿法或干法腐蚀构图形成包括栅线 52、栅焊盘 54、和栅极 56 的栅布线。

这里，如上所述，考虑到由氧化铟锡构成的像素布线 111、112、113，栅布线 52、54 和 56 具有包括下层 501 和上层 502 的双层结构。但在形成由氧化铟锌构成的像素布线 111、112、113 时，栅布线 52、54 和 56 也可以具有包括例如铝和铝合金等具有低电阻率的导电材料构成的单层结构。

然后，如图 28A 和 28B 所示，利用化学汽相淀积(CVD)等方法，依次层叠栅绝缘层 60、非晶硅半导体层 70 和掺杂非晶硅欧姆接触层 80，并与有机绝缘层 40 一起构图，形成都为岛形的半导体层 70 和欧姆接触层 80，有机绝缘层 40 具有分别暴露数据线 92、栅焊盘 54 和数据焊盘 98 的接触孔 61、64 和 68。此时，必须去除栅极 56 部分上的半导体层 70 和欧姆接触层 80 的

某些部分，必须与它们一起去除栅焊盘 54 的一部分上的栅绝缘层 60，形成接触孔 64，必须与它们一起去除数据线 92 和数据焊盘 98 一部分上的有机绝缘层 40，形成接触孔 61 和 68。为利用一个掩模通过光刻工艺实现该腐蚀步骤，希望用随不同位置具有不同厚度的光刻胶图形作腐蚀掩模，下面结合图 29 进行介绍。

如图 29 所示，在欧姆接触层 80 上涂敷厚 1 微米-2 微米的光刻胶层。

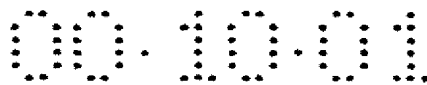
然后，通过第二掩模将光刻胶层曝光，并显影形成光刻胶图形 312 和 314，如图 29 所示。此时，位于栅极 56 上的光刻胶图形的第一部分 312 比位于其它部分上光刻胶图形的第二部分 314 厚。因此，对应于位于部分 C 上的数据线 92、数据焊盘 98 和栅焊盘 54 上的部分的第三部分比第二部分薄。第三部分的厚度可以随腐蚀方法不同。例如，在使用湿法腐蚀时，第三部分的厚度基本为零，但利用干法腐蚀时第三部分的厚度不为零。此时，第二部分 314 和第一部分 312 间的厚度比取决于以后将介绍的腐蚀条件。然而，优选第二部分 314 的厚度等于或小于第一部分 312 厚度的一半，或例如小于 4000 微米。更优选第二和第一部分的厚度分别小于 4000 微米。

与第二实施例类似，有许多方法可以利用根据位置透射率不同的第二掩模 1000 改变不同位置处光刻胶的厚度。

再参见图 29，接着对光刻胶 314 和包括欧姆接触层 80、半导体层 70、栅绝缘层 60 和有机绝缘层 40 的底下各层进行腐蚀工艺。首先，利用光刻胶图形 312 和 314 作腐蚀掩模，腐蚀欧姆接触层 80、半导体层 70 和栅绝缘层 60，形成暴露栅焊盘 54 的接触孔 64，并露出对应于部分 C 的有机绝缘层 40。然后，利用光刻胶图形 312 和 314 作腐蚀掩模，腐蚀部分 C 处露出的有机绝缘层 40，形成接触孔 61 和 68，并完全去掉光刻胶图形的第二部分 314。这里，可增加灰化或等离子腐蚀步骤去掉部分 C 上的其余光刻胶残留。灰化步骤中使用等离子气体或微波，氧是主要使用的组分之一的例子。

然后，完成接触孔 61、64 和 68，保留了部分 A 和 B 处的欧姆接触层 80 和半导体层 70 及光刻胶图形的第一部分 312。

然后，利用光刻胶图形的第一部分 312 作为腐蚀掩模，去掉部分 B 的欧姆接触层 80 和半导体层 70，在栅极 56 的栅绝缘层 60 上形成岛形的欧姆接触层 80 和半导体层 70。此时，希望在栅绝缘层 60 和半导体层 70 间具有超过 10:1 的大腐蚀选择率的条件下，干法腐蚀欧姆接触层 80 和半导体层。



最后，去掉光刻胶图形的第一部分 314。

此时，通过淀积例如铬和钼等用于硅化物的金属，退火金属层，并去除金属层，在欧姆接触层 80 上附加硅化物层，希望利用整个表面上的铝腐蚀步骤去除通过接触孔 64 暴露且由铝构成的栅焊盘 54 的上层 502。

- 5 不同的是，如图 30 所示，随后与层 60、70 和 80 一起淀积例如铬和钼等用于硅化物的金属层 150，并构图成具有与半导体层 70 和欧姆接触层 80 相同的形状，如图 31 所示。然后，进行退火步骤，在金属层 150 和欧姆接触层 80 间形成金属硅化物，然后可以去掉或不去掉金属层 150。此时，希望由铬构成的金属层 150 厚度小于 500 微米。原因是厚度小于 500 微米的铬
- 10 金属层 150 可以与层 60、70 和 80 一起干法腐蚀，因而简化了制造工艺。自然，这种情况下，希望通过接触孔 61 暴露栅焊盘 54 的下层 501，在焊盘部分得到与 ITO 层的可靠接触。

- 另一方面，代替硅化物金属层 150，可以使用由导电材料构成用于减小源和漏 ITO 电极 111 和 113 与欧姆接触层 80 间的接触电阻的另一金属层，
- 15 希望干法腐蚀该另一金属层。

接着，如图 32A-32B 所示，淀积厚 400 微米-500 微米的 ITO 层，并利用第六掩模腐蚀，形成像素电极 112、源 ITO 电极 111、漏 ITO 电极 113、冗余栅焊盘 114 和冗余数据焊盘 118。可以用氧化铟锡代替氧化铟锌。

- 然后，利用源和漏 ITO 电极 111 和 113 作掩模，通过等离子干法腐蚀，
- 20 腐蚀欧姆接触层 80，将欧姆接触层 80 以栅极 56 为中心分开，露出欧姆接触层 85 和 86 间的非晶硅层的 70 的中心部分，进行氧等离子体处理，得到表面稳定的非晶硅层 70。如图 31 所示，在残留硅化物金属层 150 的情况下，源 ITO 电极 111 和漏 ITO 电极 113 间的硅化物金属层 150 必须与欧姆接触层 80 一起去掉，以使暴露源 ITO 电极 111 和漏 ITO 电极 113 间的半导体层 70。
- 25 于是，欧姆接触层 85 和 86 与源和漏 ITO 电极 111 和 113 间保留部分硅化金属层(未示出)。

- 最后，如图 23 和 24 所示，在钝化层 100 和着色有机层 130 上淀积例如氮化硅和氧化硅等绝缘材料和例如黑树脂等具有良好吸收性的光敏抗蚀剂。然后，利用第五掩模，通过光刻工艺曝光和显影，暴露着色有机层 130，
- 30 并利用显影的有机层 130 作腐蚀掩模构图钝化层 100。这里，着色层 130 的作用是阻挡入射到薄膜晶体管的半导体层 70 的光，可以形成为具有不同形

状，以阻挡栅布线和数据布线周围的光泄漏，以下将结合附图作介绍。另外，通过调节着色有机层 130 的高度，着色有机层 130 可用作保持下基板 10 和上基板 200 间的间隔的支撑件。

5 另一方面，为完成上屏板 201，在上绝缘基板 200 上形成公用电极 210，该电极与下屏板 101 的像素电极 112 一起产生电场，并由例如 ITO 和 IZO 等透明材料构成。

在根据本发明的第三实施例中，通过由与栅线 52 和数据线 92 相同的层形成黑底的垂直和水平部分 59 和 99，并利用栅线 52 和数据线 59 作黑底，由于不必考虑下基板和上基板间的对准，所以可以增大孔径比。

10 另外，由于数据线 92 和像素电极 112 间存在低介电常数的栅绝缘层 60 和钝化层 100，所以可以减小两者间的耦合电容。因此，由于不必在数据线 92 和像素电极 112 间形成间隔，所以可以提高液晶显示器的特性，并增大孔径比。

15 另外，由于栅绝缘层 60 仅形成在像素电极 112 和栅线 52 之间，因此，两者间可以得到足够大的存储电容。

20 另外，通过利用光阻挡层 91 挡阻从基板 10 下部的入射的光，可以使栅极 56 的尺寸优化，并可以减小栅极 56 与源和漏 ITO 电极 111 和 113 间的寄生电容，并减小它们的偏差。因此，可以减小例如针脚和闪烁等显示质量缺陷和漏电流。另外，由于栅线 52 和数据线 62 间形成有机绝缘层 40，所以可以减少它们的短路，由于可以减小栅绝缘层 60 的厚度，所以可以提高薄膜晶体管的质量。

25 在根据第三实施例制造薄膜晶体管的方法中，通过在形成高成本的薄膜晶体管之前，形成低成本的滤色器 31、32 和 33，尽管滤色器的制造工艺中会产生次品，但不会影响最终的工艺成品率，因此可以降低制造成本。另外，由于滤色器和薄膜晶体管通过不同的制造工艺系统形成，所以可以提高工艺效率。也就是说，通过外订完成了具有被有机绝缘层 40 覆盖的滤色器的基板后，可以在附加的制造工艺系统中，利用四个掩模，通过光刻工艺制造薄膜晶体管阵列屏板。

30 另外，通过形成铝、铝合金、银或银合金的布线 52 和 92，可以改善大规模 LCDs 显示器的特性。

另外，通过用着色有机层 130 作黑底，阻挡入射到薄膜晶体管的半导体

栅焊盘 94 和数据焊盘 98 的接触孔 41、42、44 和 48。另外，在有机绝缘层 40 上形成由铝、铝合金、铜或铜合金构成的单层结构的栅布线 52、54 和 56。这里，栅焊盘 54 与第一冗余栅焊盘 94 连接。栅绝缘层 60 具有分别暴露数据线 92、第一冗余栅焊盘 94 和数据焊盘 98 的接触孔 61、64 和 68，

5 在栅绝缘层 60 上形成源 ITO 电极 111 和第二冗余栅焊盘 114，它们分别通过 41 和 61 及 44 和 64 与数据线 92 和第一冗余栅焊盘 94 连接。这里，第二冗余栅焊盘 114 通过第一冗余栅焊盘 94 与栅焊盘 54 电连接。

下面结合附图 36A-40C 和 34-35 介绍根据本发明第五实施例的薄膜晶体管阵列屏板的制造方法。

10 如图 36A 和 36B 所示，象第三实施例一样，在下绝缘基板 10 上形成包括数据线 92、数据焊盘 98 和光阻挡层 91 及第一冗余焊盘 94 的数据布线部分，所说光阻挡层具有下层 901 和上层 902。

然后，如图 37A 和 37B 所示，利用不用掩模的激光复制、丝网印刷或偏移印刷等依次形成由红、蓝和绿树脂光敏材料构成的红、蓝和绿滤色器

15 31、32 和 33。接着，在基板 10 上淀积具有耐热性、低介电比和良好平整性的有机材料构成的有机绝缘层 40，并通过光刻工艺干腐蚀构图形成暴露数据线 92、第一冗余栅焊盘 94 和数据焊盘 98 的接触孔 41、42、44 和 48。

然后，如图 38A 和 38B 所示，利用例如溅射等方法，在基板 10 上淀积例如铝、铝合金、铜和铜合金等具有低电阻率的单层结构导电层，并利用一个掩模通过光刻工艺形成栅布线部分 52、54 和 56。此时，栅焊盘 54 通过

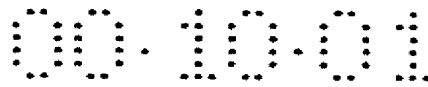
20 接触孔 42 与第一冗余栅焊盘 94 连接。

然后，如图 39A 和 39B 所示，利用例如化学汽相淀积法(CVD)等方法，依次淀积栅绝缘层 60、半导体层 70 和欧姆接触层 80，并利用一个掩模通过光刻工艺构成，形成具有岛形的半导体层 70 和欧姆接触层 80，具有接触孔 41、44 和 48 的有机绝缘层 40，具有接触孔 61、64 和 68 的栅绝缘层。

25 另外，此时，必须去掉除栅极 56 上部分外的其余部分上的半导体层 70 和欧姆接触层 80 的那些部分，必须与它们一起去掉第一冗余栅焊盘 94、数据线 92 和数据焊盘 98 的某些部分上的栅绝缘层 60，从而形成接触孔 64、61 和 68。为利用一个掩模通过光刻工艺实现该腐蚀步骤，希望象第三实施例一样，用随位置不同具有不同厚度的光刻胶图形作腐蚀掩模。

30

然后，如图 40A-40B 所示，淀积厚 400 微米-500 微米的 ITO 层，并利



用第六掩模腐蚀形成像素电极 112、源 ITO 电极 111、漏 ITO 电极 113、第二冗余栅焊盘 114 和冗余数据焊盘 118。

5 然后，利用源和漏 ITO 电极 111 和 113 作掩模，通过等离子干法腐蚀，腐蚀欧姆接触层 80，将欧姆接触层 80 以栅极 56 为中心分开，露出欧姆接触层 85 和 86 间的非晶硅层 70 的中心部分。

10 最后，如图 34 和 35 所示，在钝化层 100 和着色有机层 130 上淀积例如氮化硅和氧化硅等绝缘材料和例如黑树脂等具有良好吸收性的光敏抗蚀剂。然后，利用第五掩模，通过光刻工艺曝光和显影，暴露着色有机层 130，并利用显影的有机层 130 作腐蚀掩模构图钝化层 100。这里，着色有机层 130 的作用是阻挡入射到薄膜晶体管的半导体层 70 的光，可以形成为具有不同形状，以阻挡栅布线和数据布线周围的光泄漏，以下将结合附图作介绍。另外，通过调节着色有机层 130 的高度，着色有机层 130 可用作保持下基板 10 和上基板 200 间的间隔的支撑件。

15 在制造第五实施例的薄膜晶体管的方法中，通过在形成半导体层 70 之前形成有机绝缘层 40，但薄膜晶体管阵列屏板利用 5 个掩模通过光刻工艺制造，栅布线部分 52、54 和 56 具有单层结构，因此该制造方法比第三实施例更简化。

20 另外，在形成栅绝缘层 60、半导体层 70 和欧姆接触层 85 和 86 之前，在形成有机绝缘层 40 的接触孔 41、42、44 和 48 时，可用与栅布线和数据布线相同的层形成静电放电保护布线，例如可以彼此连接 2G-3D 和 2G-2D 等结构的静电放电保护布线，同时不用附加步骤。2G-2D 和 2G-3D 结构意思是静电放电保护布线包括与栅布线和数据布线相同的层形成的短路线，用于电连接栅布线 52、54 和 56 及数据布线 91、92 和 98，放掉制造工艺产生的静电。

25 另外，在根据第五实施例的制造方法中，像第三实施例一样，可以添加微晶化非晶硅或硅化金属层，以减小欧姆接触层 85 和 86 与源和漏 ITO 电极 111 和 113 的接触电阻。

30 在外订具有被有机绝缘层 40 覆盖的滤色器的基板的情况下，由于用于其余制造工艺完成薄膜晶体管阵列屏板的掩模数相等，第四实施例的制造方法比第三实施例更好。

另一方面，在薄膜晶体管的制造方法中，通过在 300℃ 以上的范围淀积

氮化硅，形成栅绝缘层 60，可以得到具有良好特性的薄膜晶体管，但滤色器 31、32 和 33 的耐热温度在约 250 °C 以上。如果覆盖滤色器 31、32 和 33 的栅绝缘膜 60 在 300 °C 以上的范围形成，则滤色器 31、32 和 33 的特性会退化，如果覆盖滤色器 31、32 和 33 的栅绝缘膜 60 在低于 250 °C 的范围形成，由于栅绝缘层 60 的密度下降，薄膜晶体管的特性会因薄膜晶体管的栅绝缘层 60 和半导体层 70 间界面特性的下降而退化。

为解决本发明中的这个问题，可以形成具有包括低温下绝缘层和上绝缘层的双层结构的栅绝缘层或具有双层结构的半导体层。

首先，下面详细介绍滤色器的透射率随工艺温度的变化。

10 图 41 是展示透射率 % 随滤色器的工艺条件的变化的照片。这里，实线表示未被加热的红、绿、蓝滤色器的透射率，点划线表示在约 345 °C 的范围被加热 2 小时并冷却的红、绿、蓝滤色器的透射率，虚线表示在约 300 °C 的范围内通过等离子体淀积了 40 分钟的氮化硅后红、绿、蓝滤色器的透射率。

15 如图 41 所示，尽管在约 345 °C 的范围加热红、绿、蓝滤色器 2 小时并冷却，但透射率几乎不产生变化。然而，在约 300 °C 的范围内通过等离子体淀积 40 分钟的氮化硅的情况下，红、绿、蓝滤色器的透射率快速下降。此时，10 分钟等离子体淀积后，观察到滤色器树脂颗粒升华。

20 图 42A 和 42B 是展示根据在制造本发明实施例的薄膜晶体管阵列屏板的方法中是否淀积了氮化硅层，滤色器表面的照片。图 42A 是展示淀积了 40 分钟氮化硅栅绝缘层后滤色器的表面的照片，图 42B 是展示加热滤色器后滤色器表面的照片。

25 如图 42A 和 42B 所示，测量由于在约 300 °C 的范围通过等离子体淀积 40 分钟氮化硅栅绝缘层情况下滤色器的树脂颗粒升华造成的氮化硅层恶化时滤色器表面的脱色。这里，如果例如氮化硅层等具有不渗透性的薄膜形成在滤色器上，观察到覆盖滤色器的薄膜会由于蒸气压力而恶化。

接着，详细介绍 TFT 特性随淀积温度的变化。

图 43 是展示本发明实施例中 TFT 特性随淀积温度变化的曲线图。

30 如图 43 所示，测量得到具有在约 250 °C 淀积的栅绝缘层的 TFT 的截止电流起褶，与具有在约 300 °C 淀积的栅绝缘层的 TFT 相比，TFT 的阈值电压偏移。

为解决该问题，第一种方法是形成具有双层结构的栅绝缘层，所说双层

结构包括低于 250 °C 的低温下绝缘层，用于防止滤色器受损伤，还包括约 300 °C 的高温上绝缘层，该层与半导体层接触，下面将参照附图作介绍。此时，在少于 5 分钟的时间内淀积上绝缘层，以防止滤色器树脂的颗粒升华。

图 44 是根据本发明第六实施例的用于 LCD 的 TFT 阵列屏板的布局图，
5 图 45 是沿图 44 中的线 XXXXV-XXXXV' 取的剖面图。

如图 44 和 45 所示，第六实施例的薄膜晶体管阵列屏板及其制造方法基本上与第三实施例相同。

然而，形成覆盖栅布线 52、54 和 56、包括下绝缘层 601 和上绝缘层 602 的栅绝缘层 60 和有机绝缘层 40。此时，希望下绝缘层 601 由有机绝缘材料、非晶氮化硅或非晶氧化硅构成，并具有获得绝缘性的足够厚度，并在
10 低于 250 °C 的低温下淀积，以防止滤色器受损伤。另外，希望在滤色器的树脂颗粒升华之前，在 300 °C 以上的温度下，在约 5 分钟的短时间内淀积厚为 500-1000 微米的上绝缘层 602，以便得到与半导体层 70 接触的良好界面特性。

15 这里，下绝缘层 601 和上绝缘层 602 可以用不连续的工艺淀积，上绝缘层 602、半导体层 70 和欧姆接触层 80 可以用原位连续工艺淀积。

为解决上述问题，第二种方法是通过低温淀积形成栅绝缘层，并形成包括下半导体层和上半导体层的半导体层，下半导体层位于栅绝缘层上，上半导体层具有比下半导体层高的带隙，下面将参照附图作详细介绍。

20 图 46 是根据本发明第七实施例的用于 LCD 的 TFT 阵列屏板的布局图，图 47 是沿图 46 中的线 XXXXVII-XXXXVII' 的剖面图。

如图 46 和 47 所示，根据第七实施例的薄膜晶体管阵列屏板及其制造方法基本上与第三实施例相同。

然而，通过低温淀积工艺，在有机绝缘层 40 上形成覆盖栅布线 52、54
25 和 56、且由例如有机绝缘层、非晶氧化硅和非晶氮化硅构成的栅绝缘层 60。在栅极 56 的栅绝缘层 60 上，形成具有岛形的双层结构半导体层 70。半导体层 70 包括由栅绝缘层 60 上的非晶硅构成的下半导体层 701，和由非晶硅构成的上半导体层 702，上半导体层 702 具有高于下半导体层 702 的带隙。该实施例中，下半导体层 701 的厚度为 50-200 微米，带隙为 1.9-2.1eV，上
30 半导体层 702 厚度为 1000-2000 微米，带隙为 1.7-1.8eV。

此时，利用 SiH₄ 原材料气体和例如 CH₄、C₂H₂ 和 C₂H₆ 等附加材料，

通过例如化学汽相淀积(CVD)等，形成下和上半导体层 701 和 702。例如，如果在 CVD 系统中注入 1:9 的 SiH_4 和 CH_4 ，可以形成带隙为 2.0-2.3eV 且含有 50 % 碳(C)的非晶硅层。此时，可以根据包括碳化合物附加物的淀积工艺条件在 1.7-2.5eV 的范围内调节非晶硅层的带隙。

5 此时，可以在相同的真空条件下，在同一 CVD 处理系统中，连续淀积栅绝缘层 60、下半导体层 701、上半导体层 702 和掺杂的非晶硅层 80。

在本发明的第七实施例中，在带隙彼此不同的下半导体层 701 和上半导体层 702 之间形成根据不同带隙的偏移区。此时，如果 TFT 处于导通态，则在下半导体层 701 和上半导体层 702 之间的偏移区形成 TFT 的沟道。这里，
10 由于 TFT 偏移区的相同原子结构，所以不产生缺陷，因此可以得到良好的 TFT 特性。

由于薄膜晶体管阵列可以在低于 300 °C 的低温下制造，所以本发明可用于不同类型的薄膜晶体管阵列屏板。例如，本发明可用于制造利用耐冲击、重量轻的塑料基板的薄膜晶体管阵列屏板。

15 在根据本发明的这些薄膜晶体管阵列屏板的这些实施例中，通过在形成黑底或滤色器时对准标记，可以精确地对准以后将形成的多个薄膜。另外，通过在形成薄膜晶体管之前形成滤色器或黑底，在数据线和像素电极间形成有机绝缘层，可以提高孔径比。可以利用一个掩模，通过光刻工艺形成数据布线部分、欧姆接触层图形和半导体图形。另外，通过用与黑底相同的层形成
20 成公用布线和多个焊盘，可以减小公用信号的延迟，通过形成具有低电阻率的导电材料构成的布线，可以提高大规模 LCDs 显示器件的特性。另外，由于滤色器和薄膜晶体管通过不同的制造工艺系统形成，所以可以提高工艺效率。

另外，通过利用布线作黑底，并一起形成半导体层和接触孔，所以可以
25 降低制造成本。另外，通过确保数据布线与像素电极和栅布线间的绝缘，可以减小它们之间的寄生电容。另外，通过在薄膜晶体管上/下形成光阻挡层，可以减小光漏电流，通过减小栅极尺寸，可以减小 TFT 中产生的寄生电容，因而可以提高大规模 LCDs 显示器件的特性。另外，通过形成具有双层结构的栅绝缘层或半导体层，可以确保低温工艺下的 TFT 特性。

30 另外，通过在下基板上形成滤色器和黑底，可以减小上基板的厚度，并且玻璃基板可以改用塑料基板。另外，通过在低温工艺下形成薄膜晶体管阵

00:10:01

列屏板，下基板可以用作塑料基板。

上述附图和说明书中，公开了本发明的典型优选实施例，尽管使用了特定的术语，但它们仅是一般性描述，并非为了限制，本发明的范围记载于以下权利要求书中。

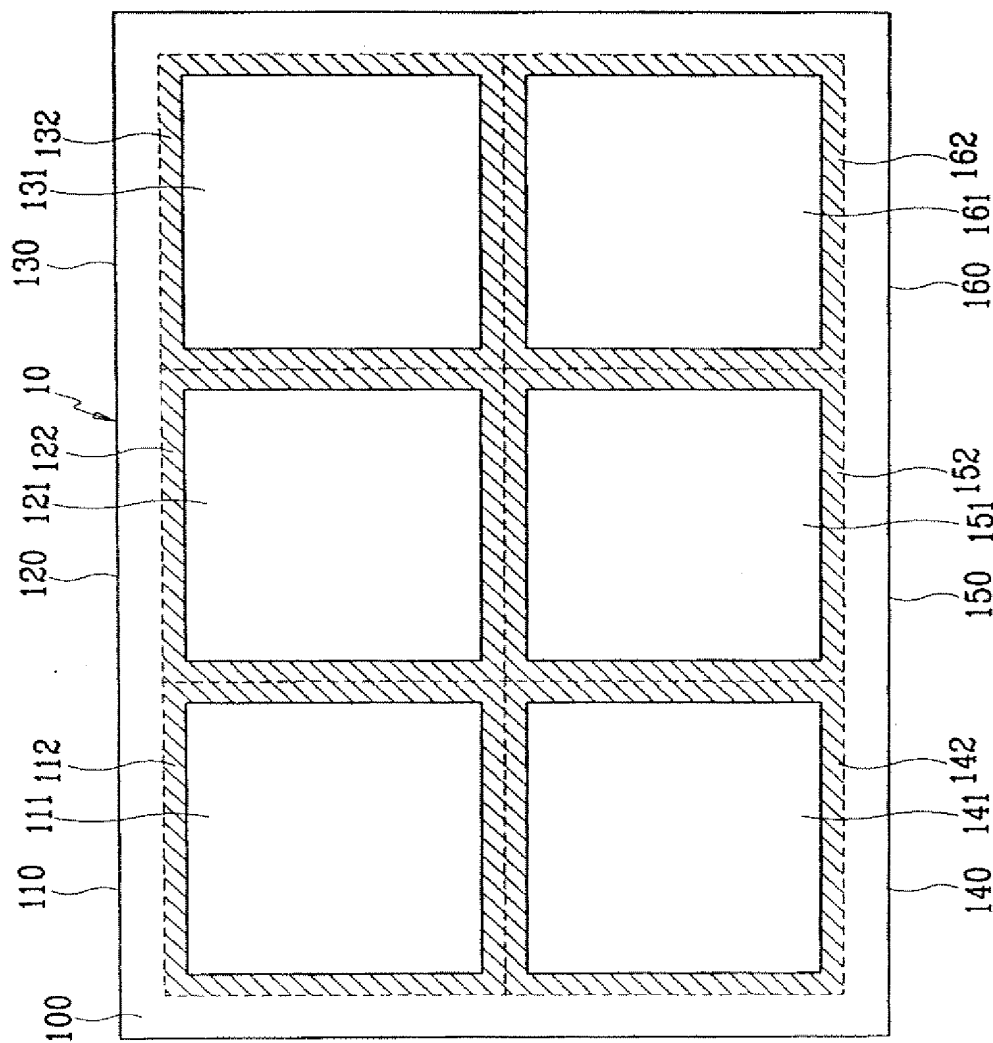


图 1

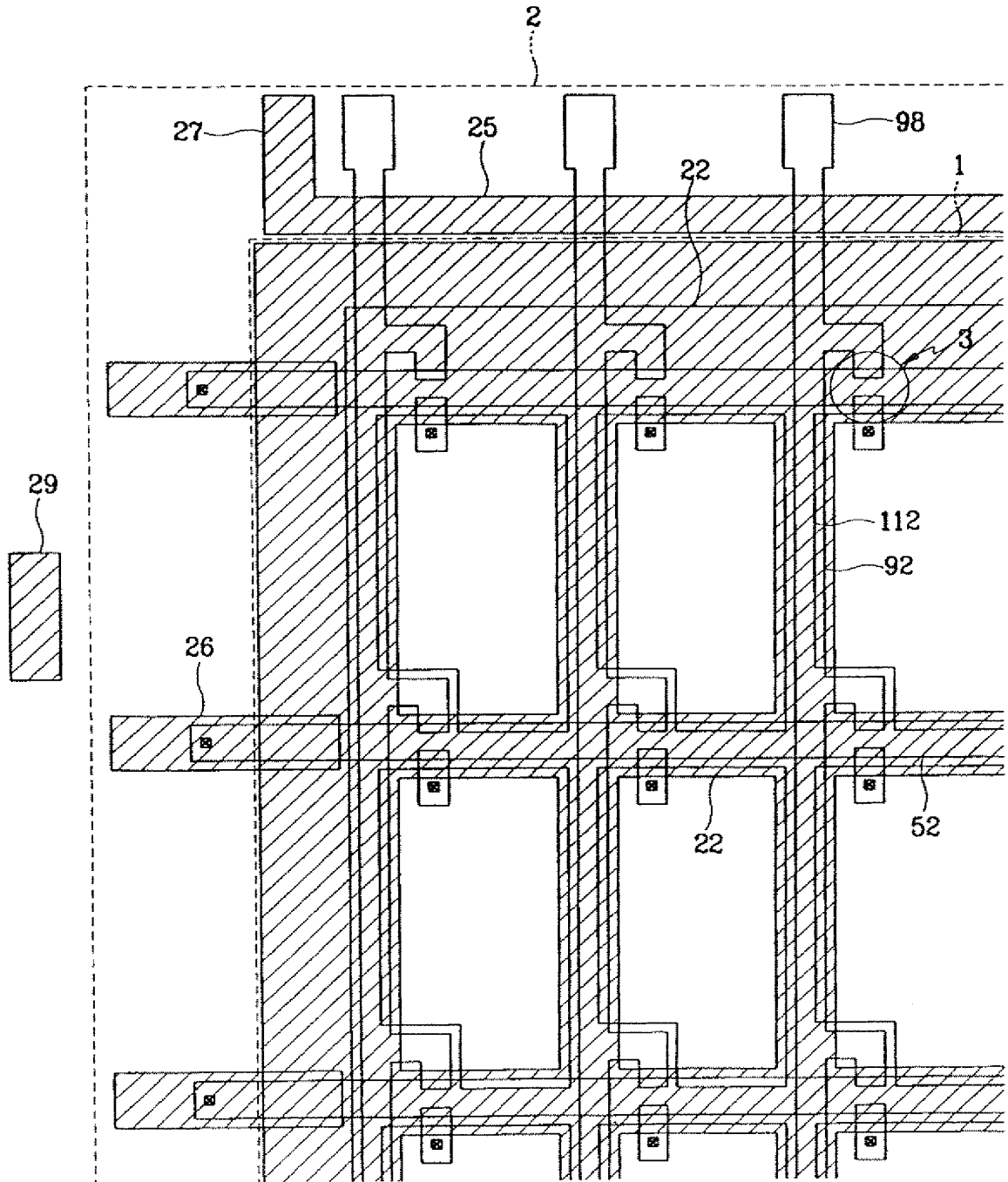


图 2

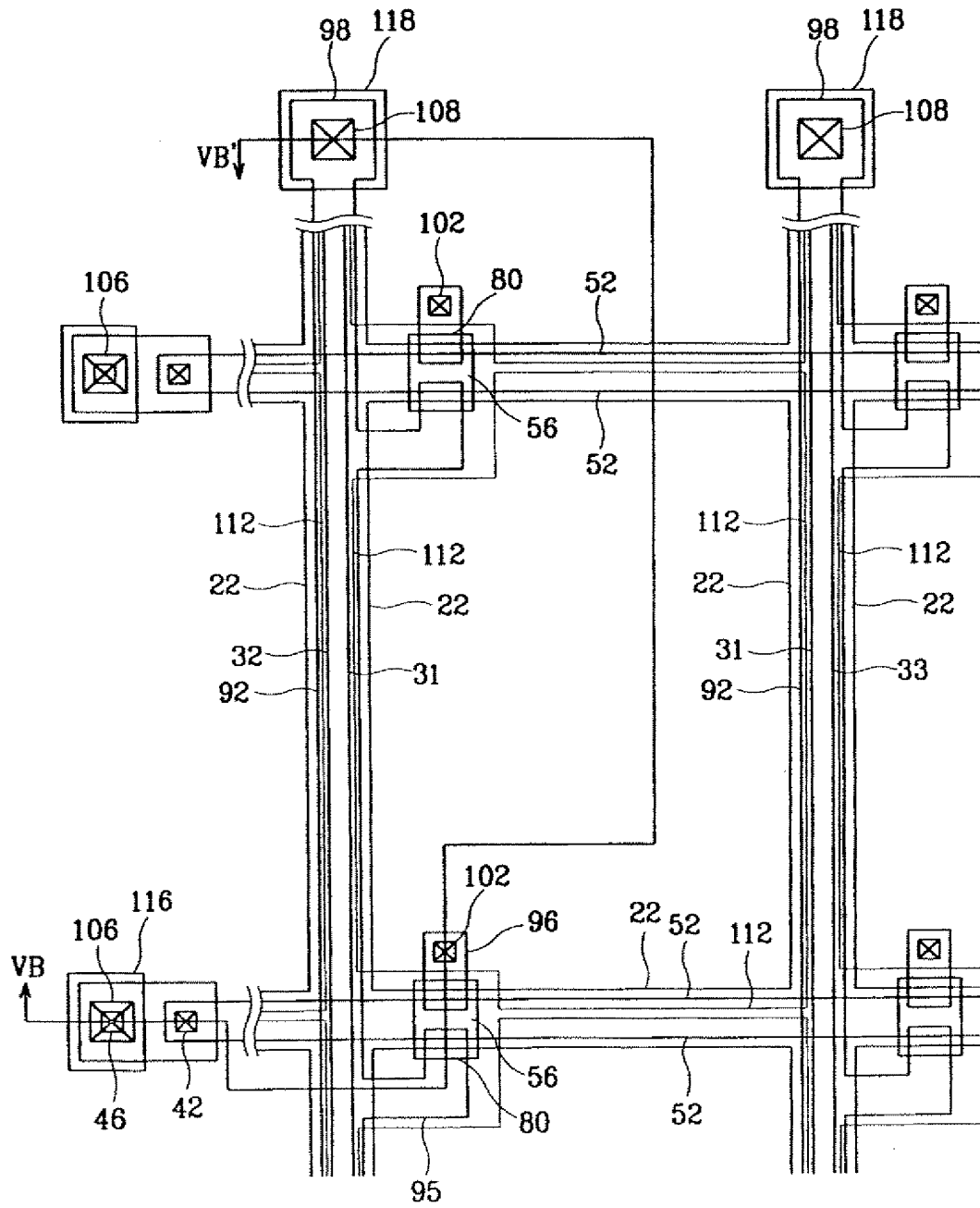
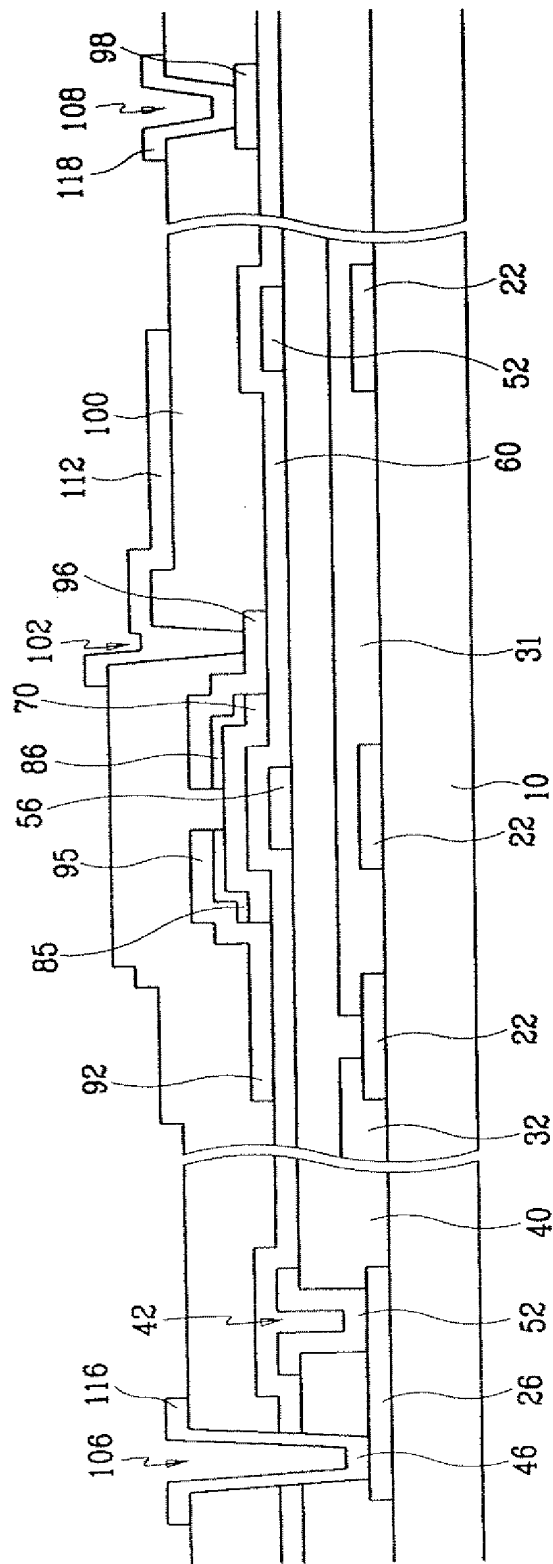


图 3



4

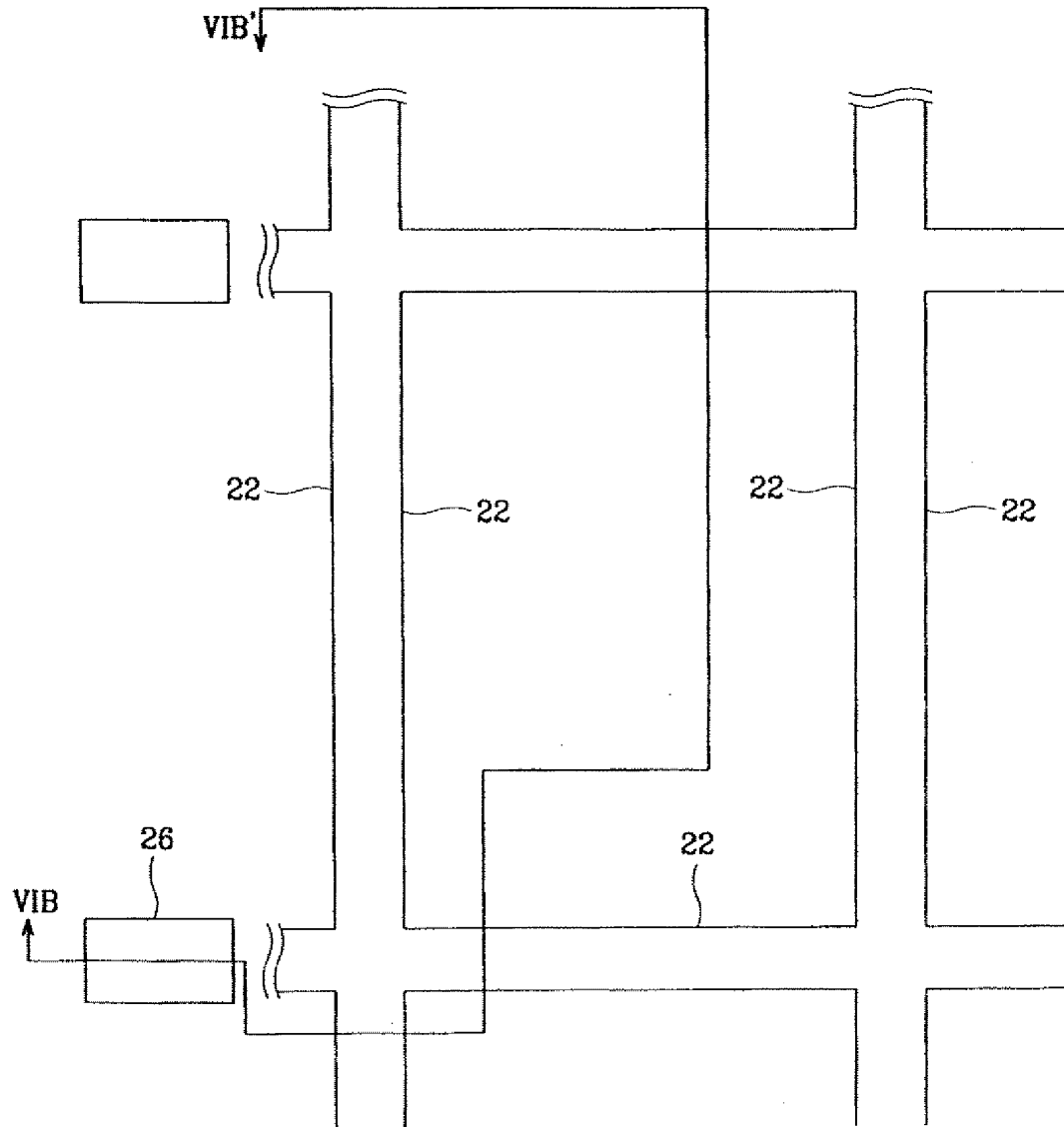


图 5A

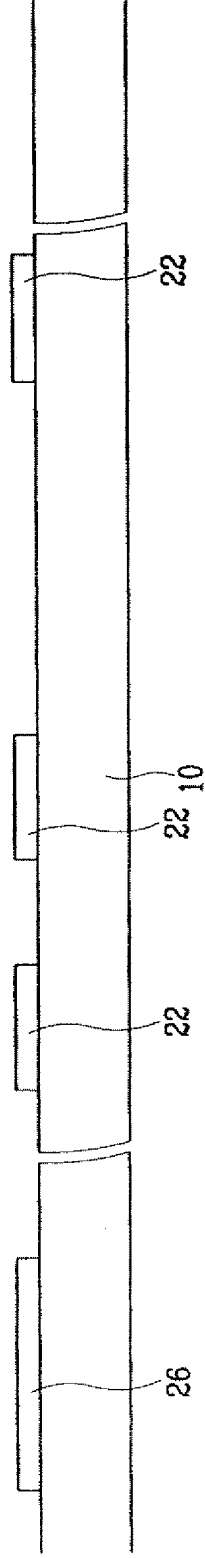


图 5B

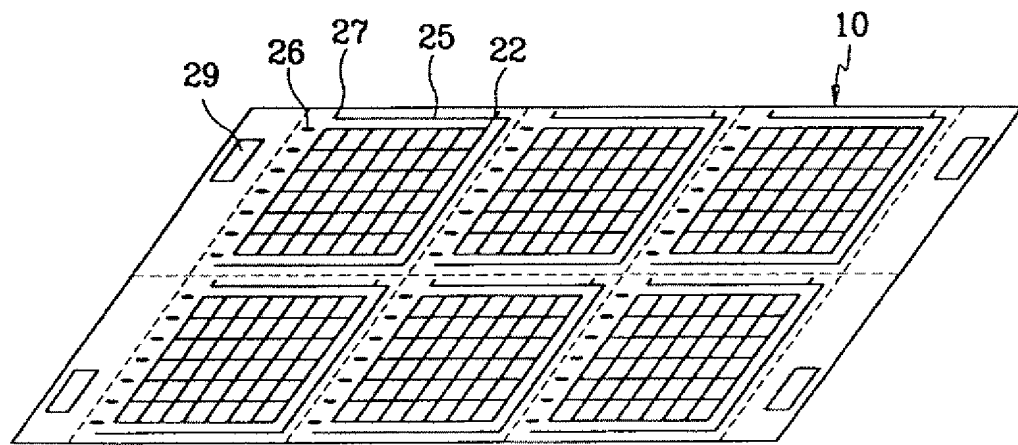


图 5C

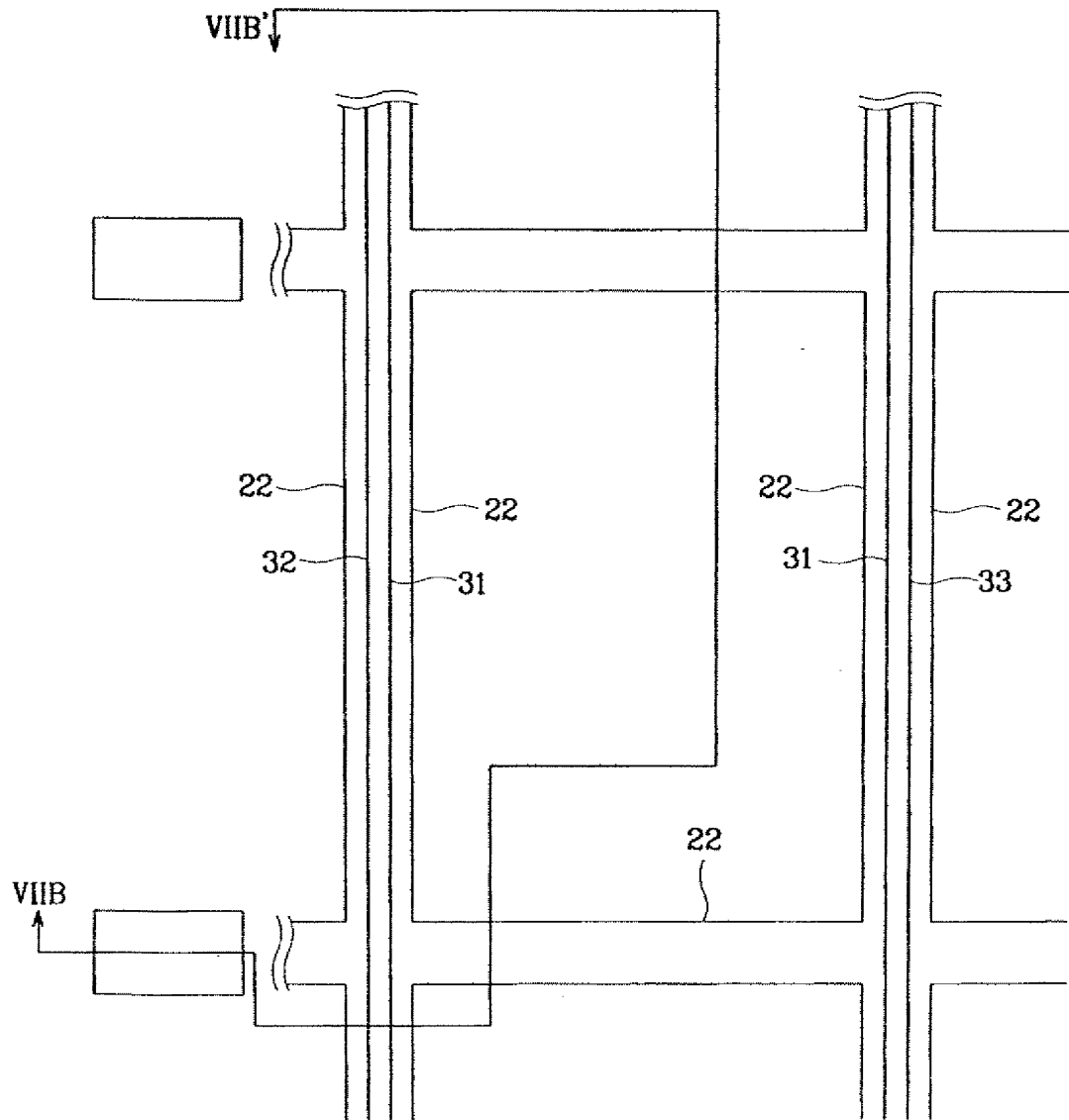


图 6A

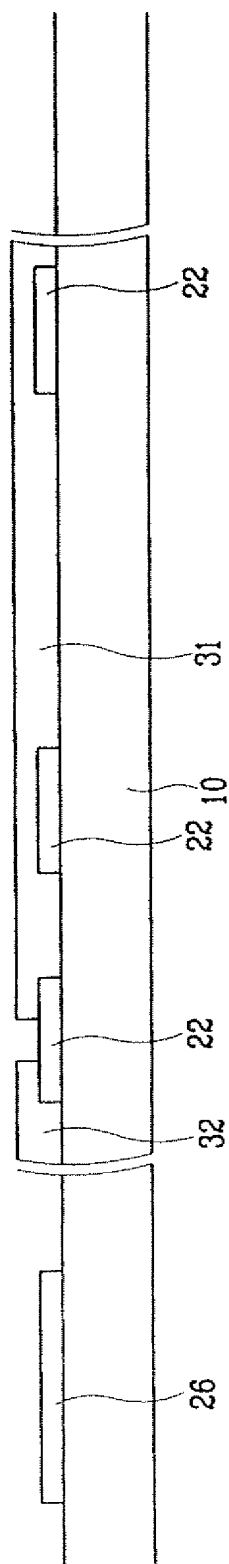


图 6B

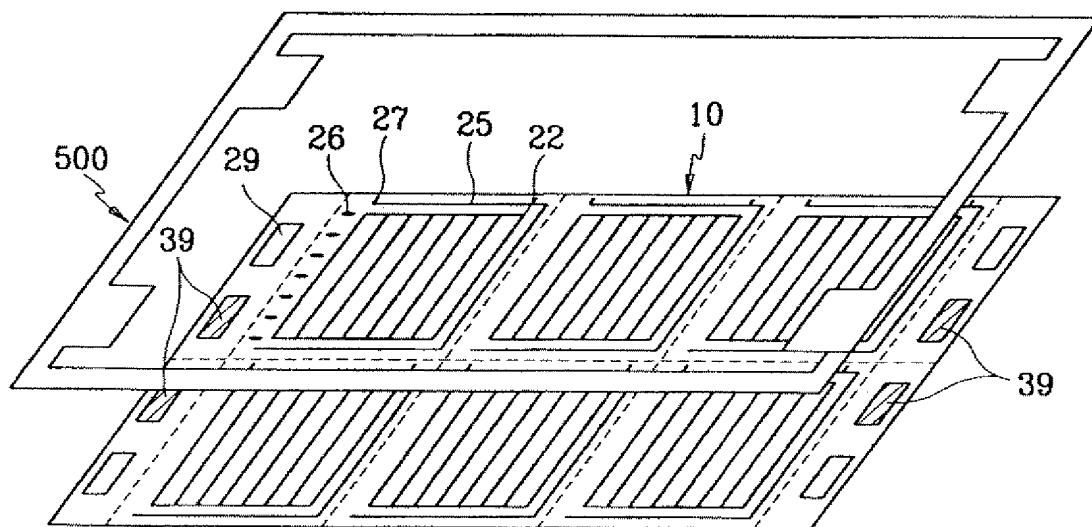


图 6C

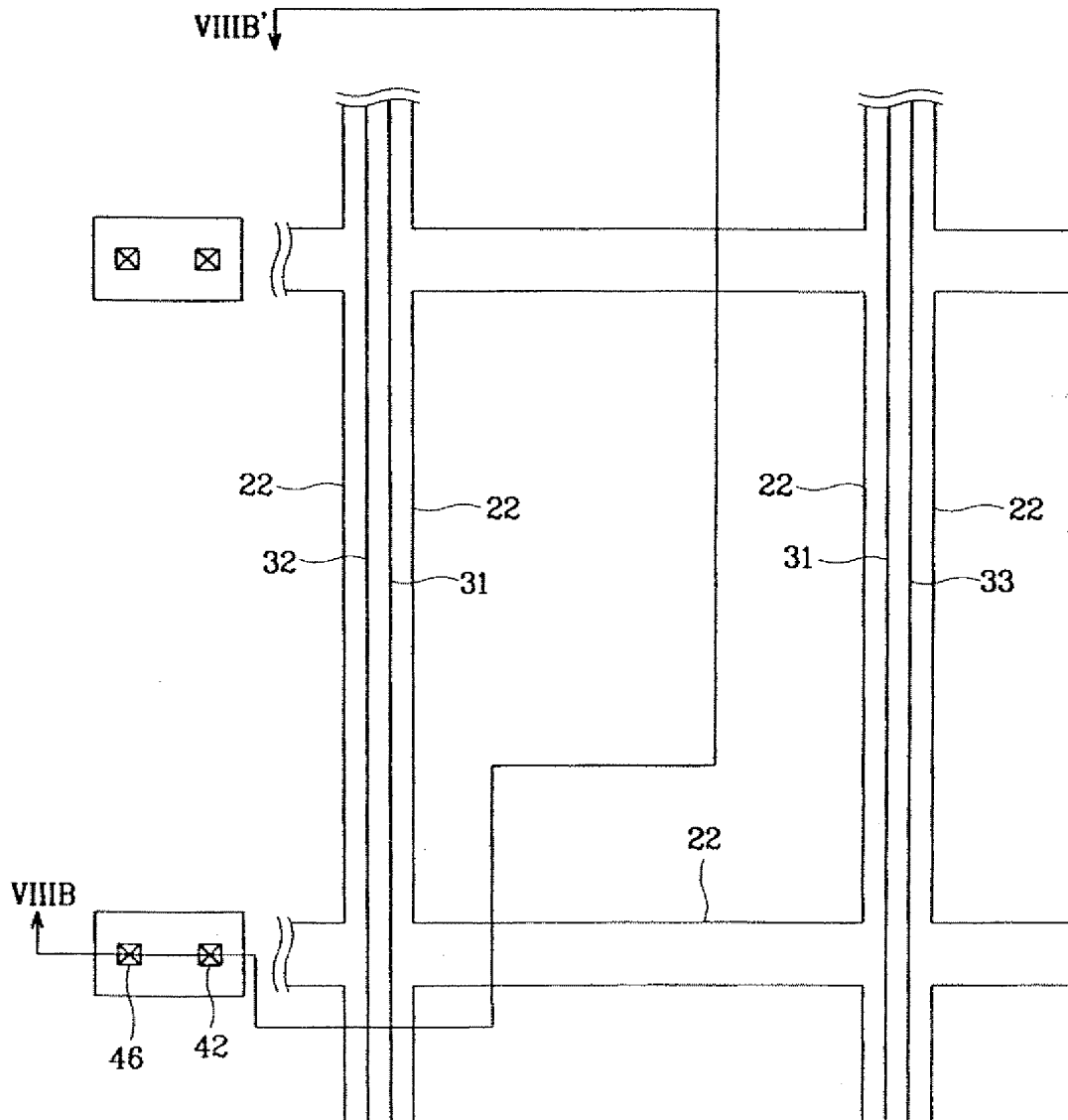


图 7A

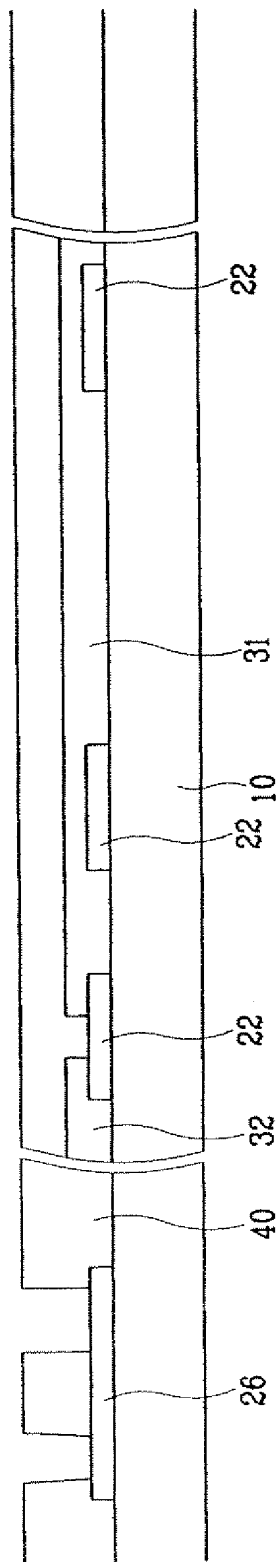


图 7B

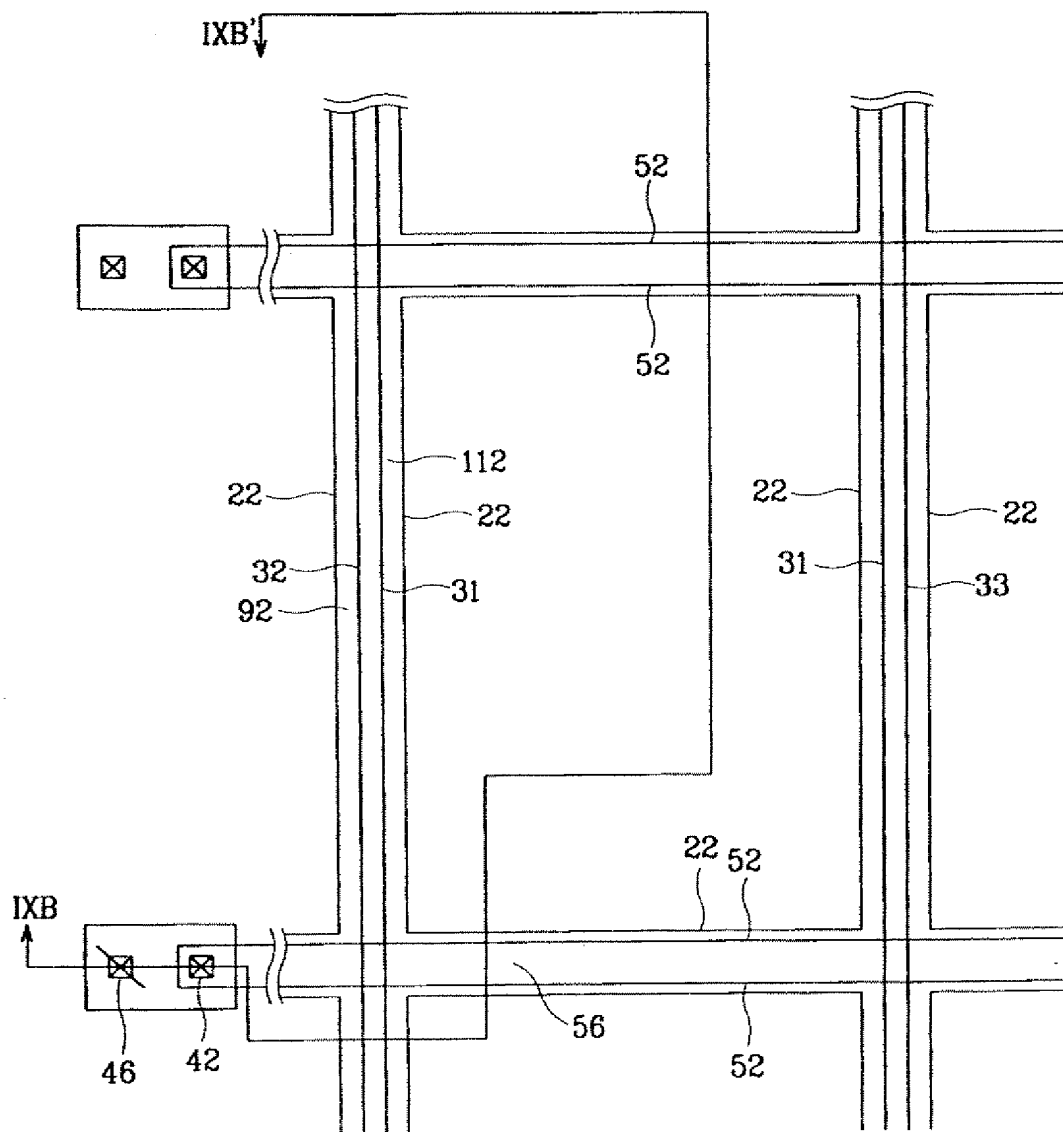


图 8A

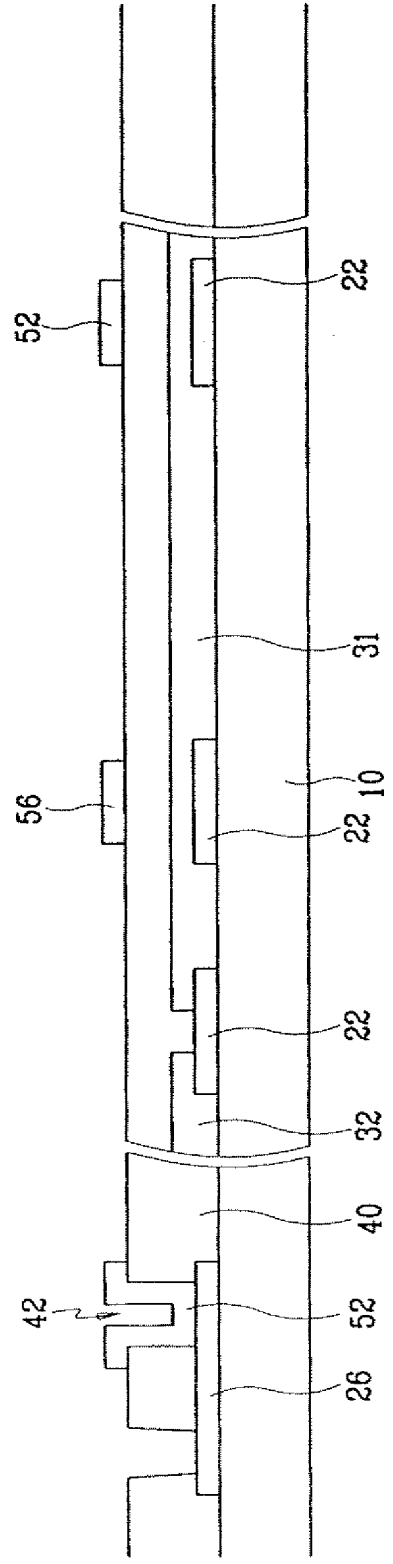


图 8B

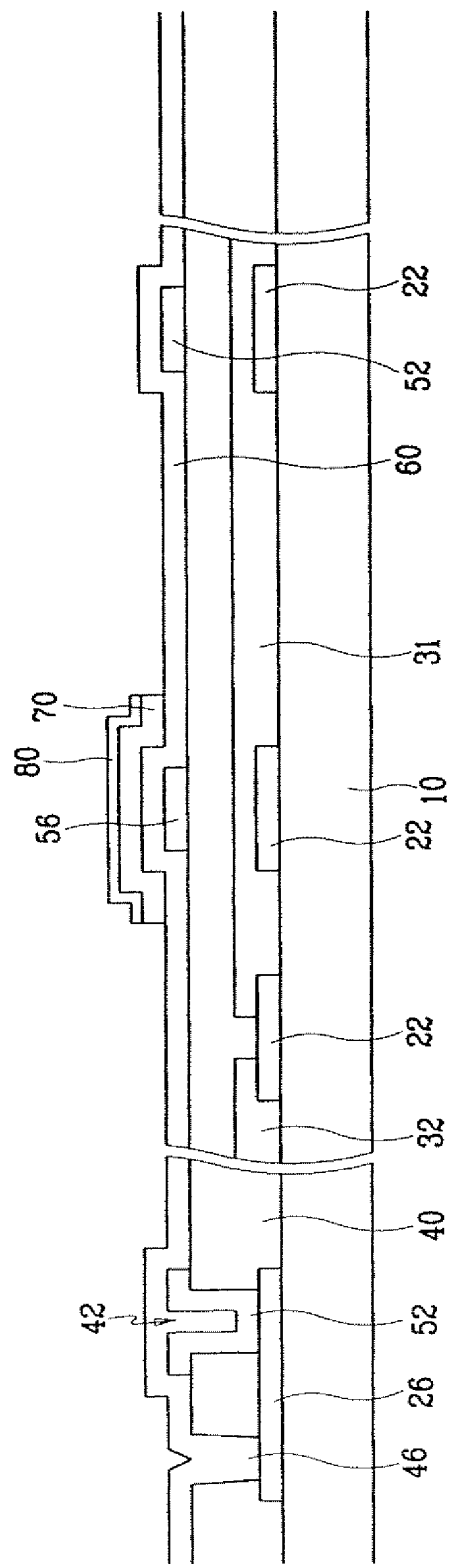


图 9B

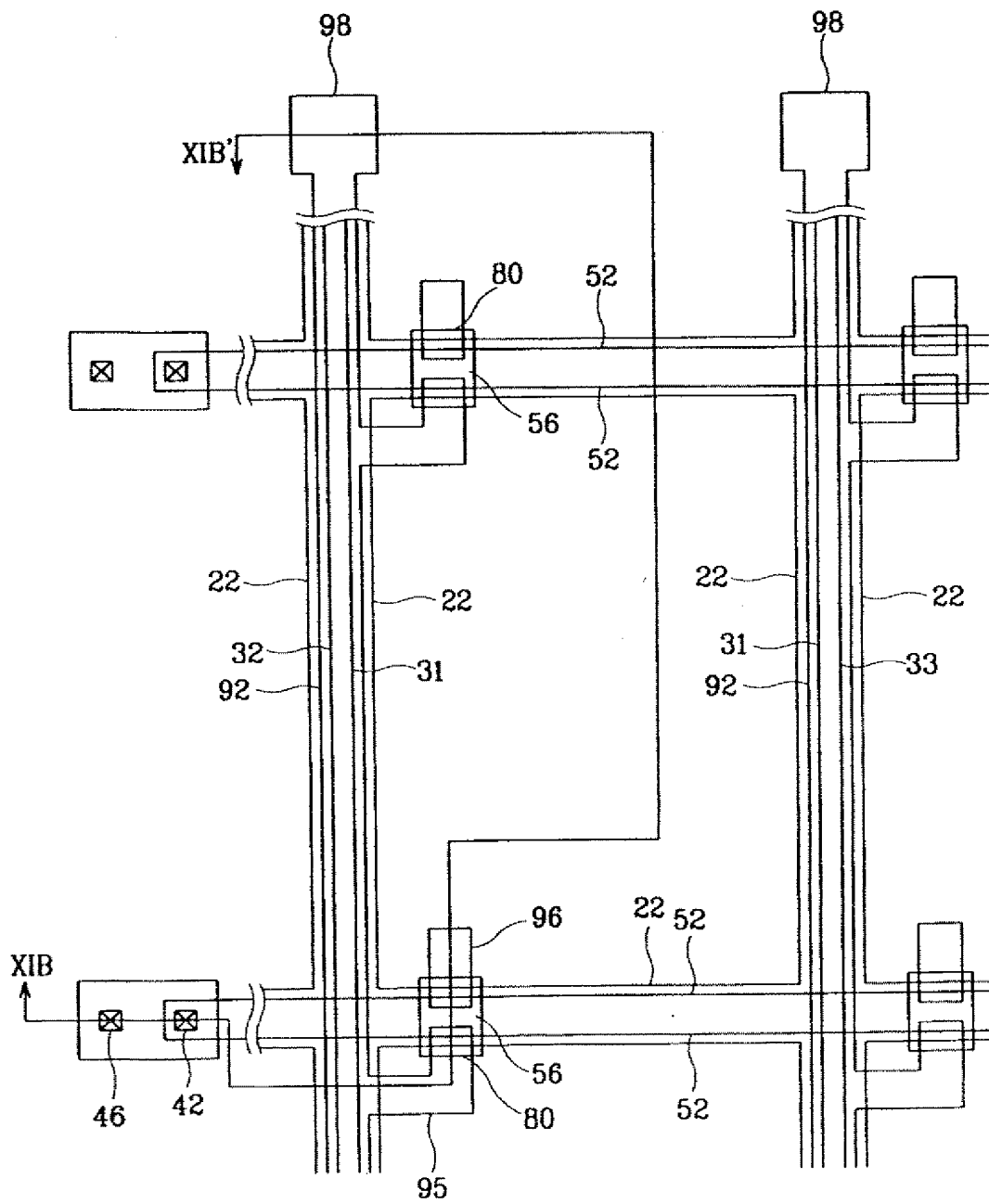


图 10A

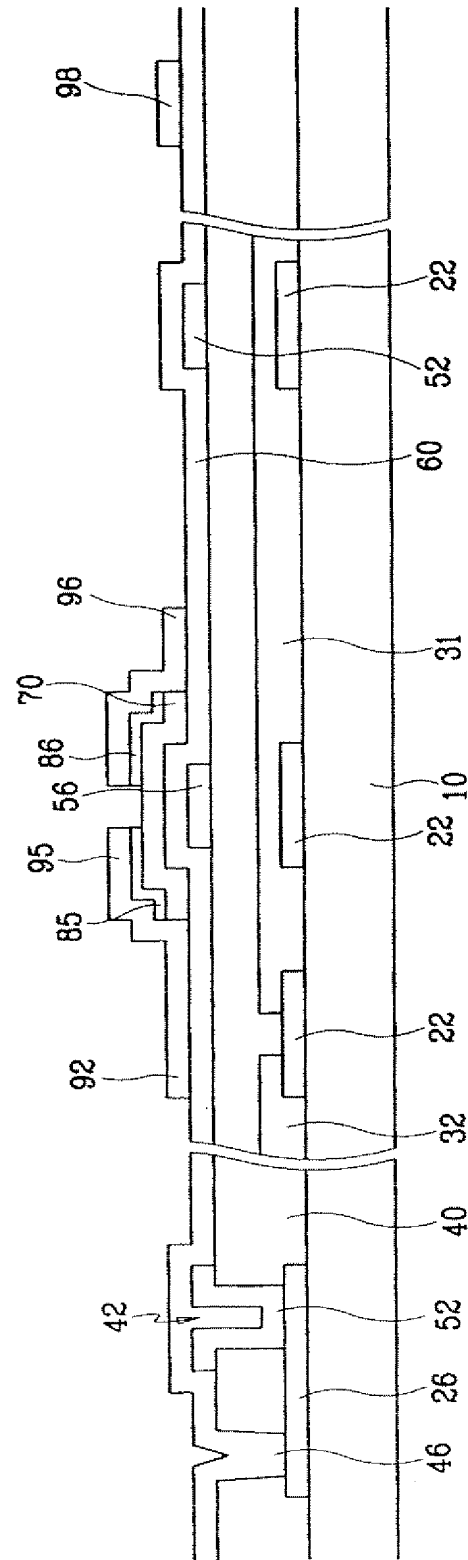


图 10B

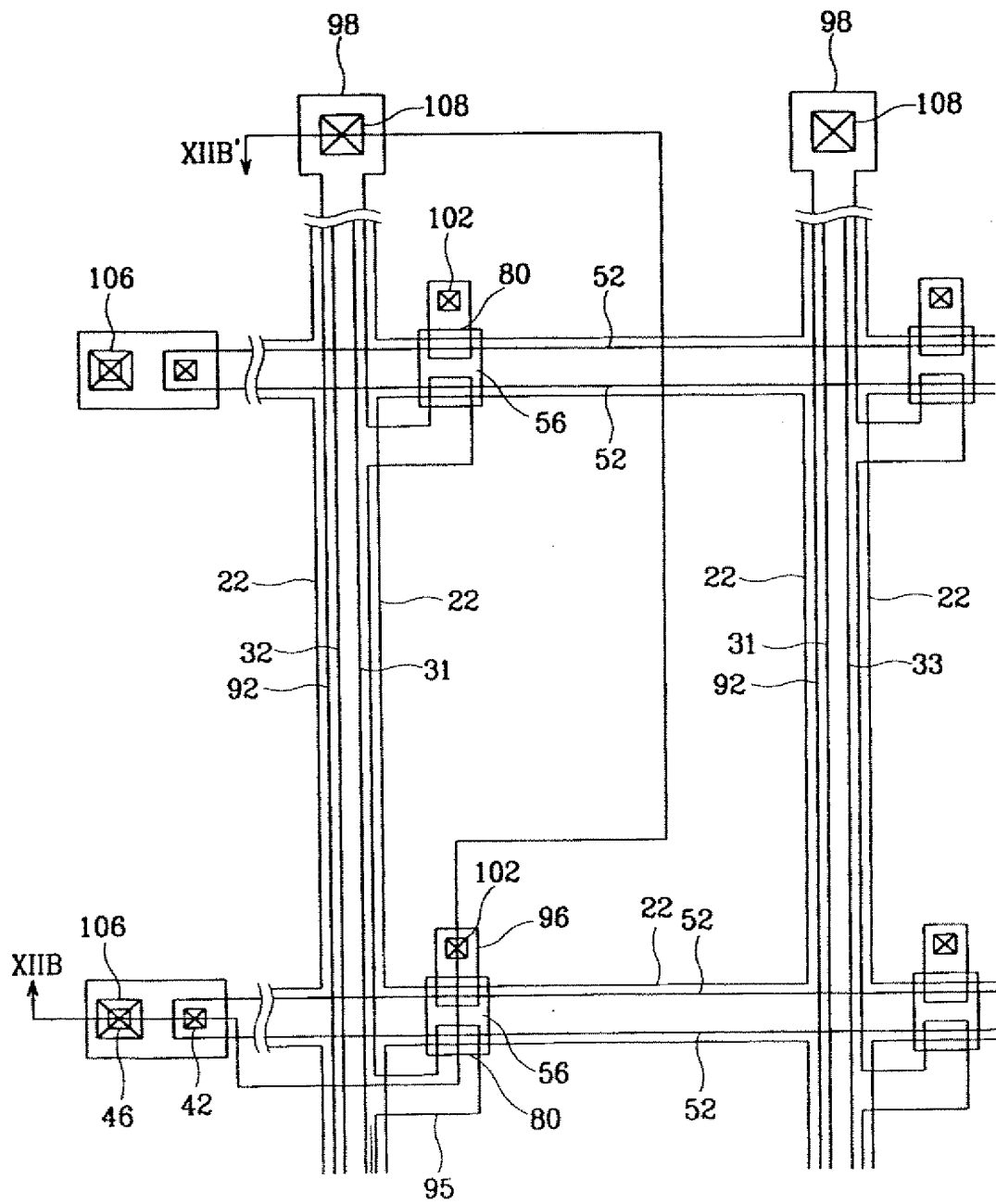


图 11A

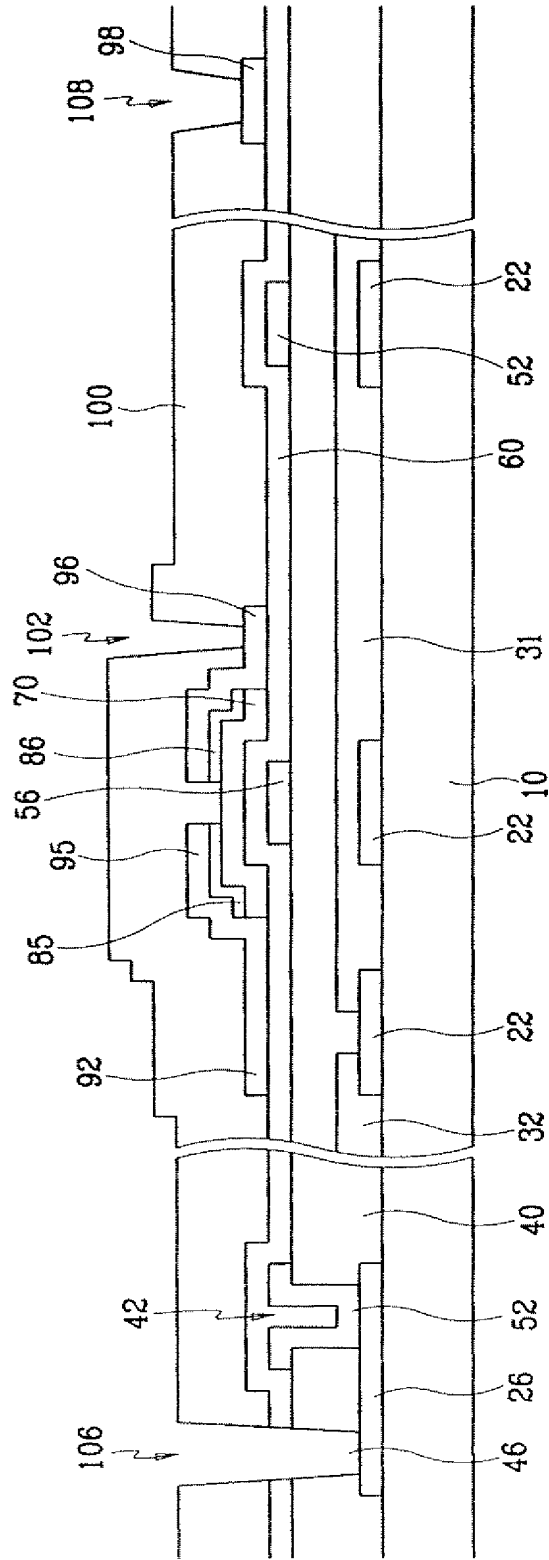


图 11B

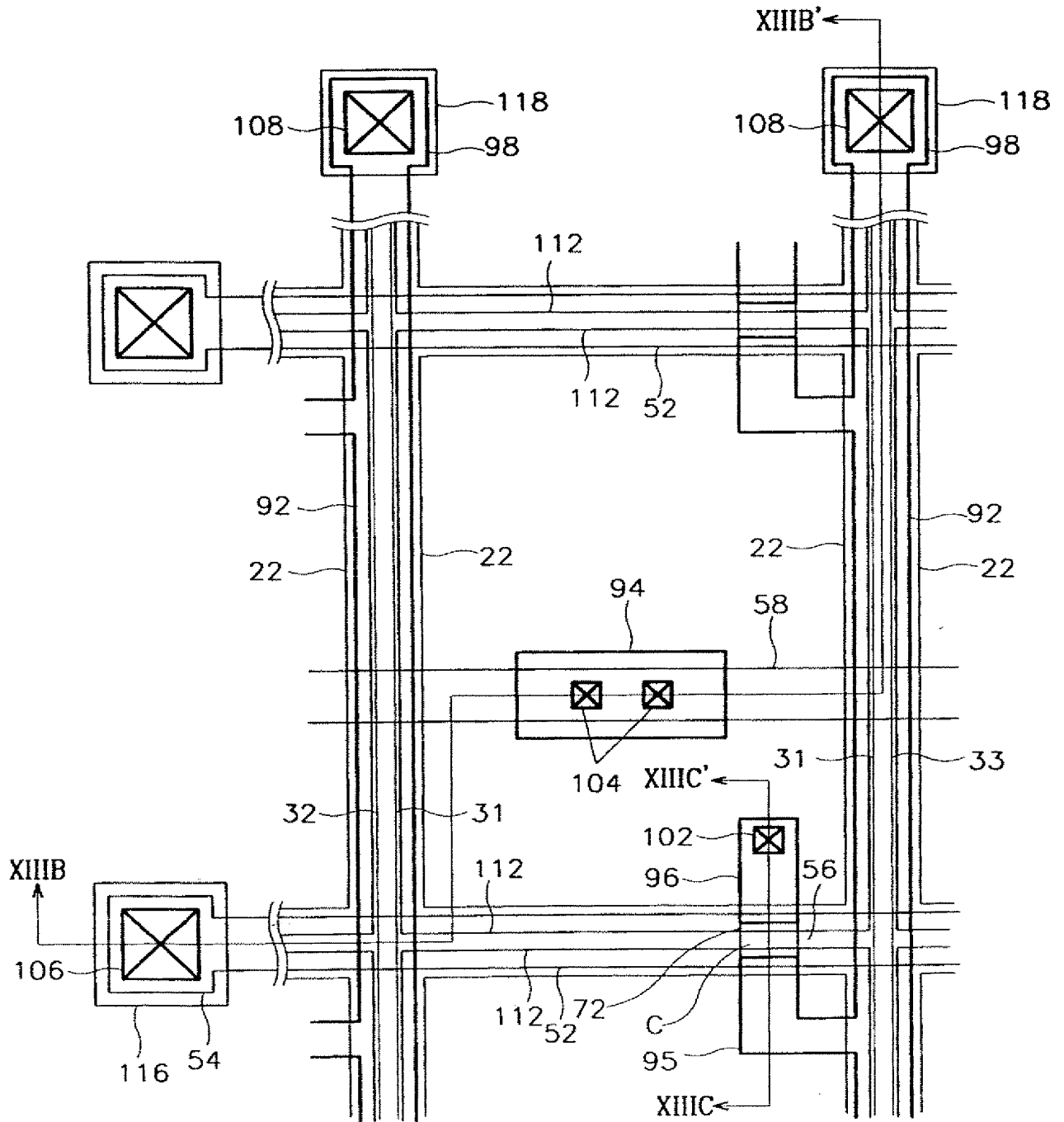


图 12

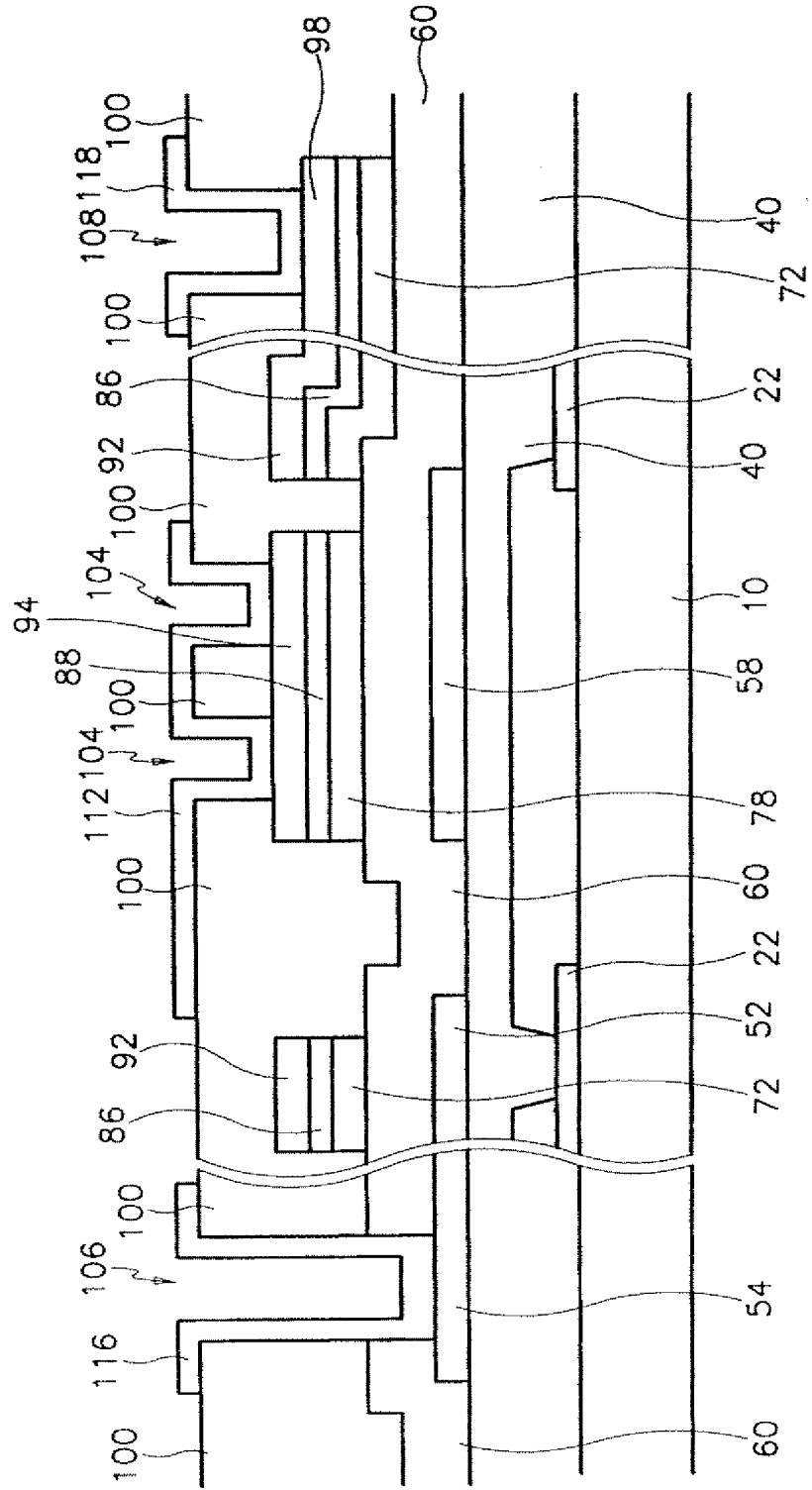


图 13

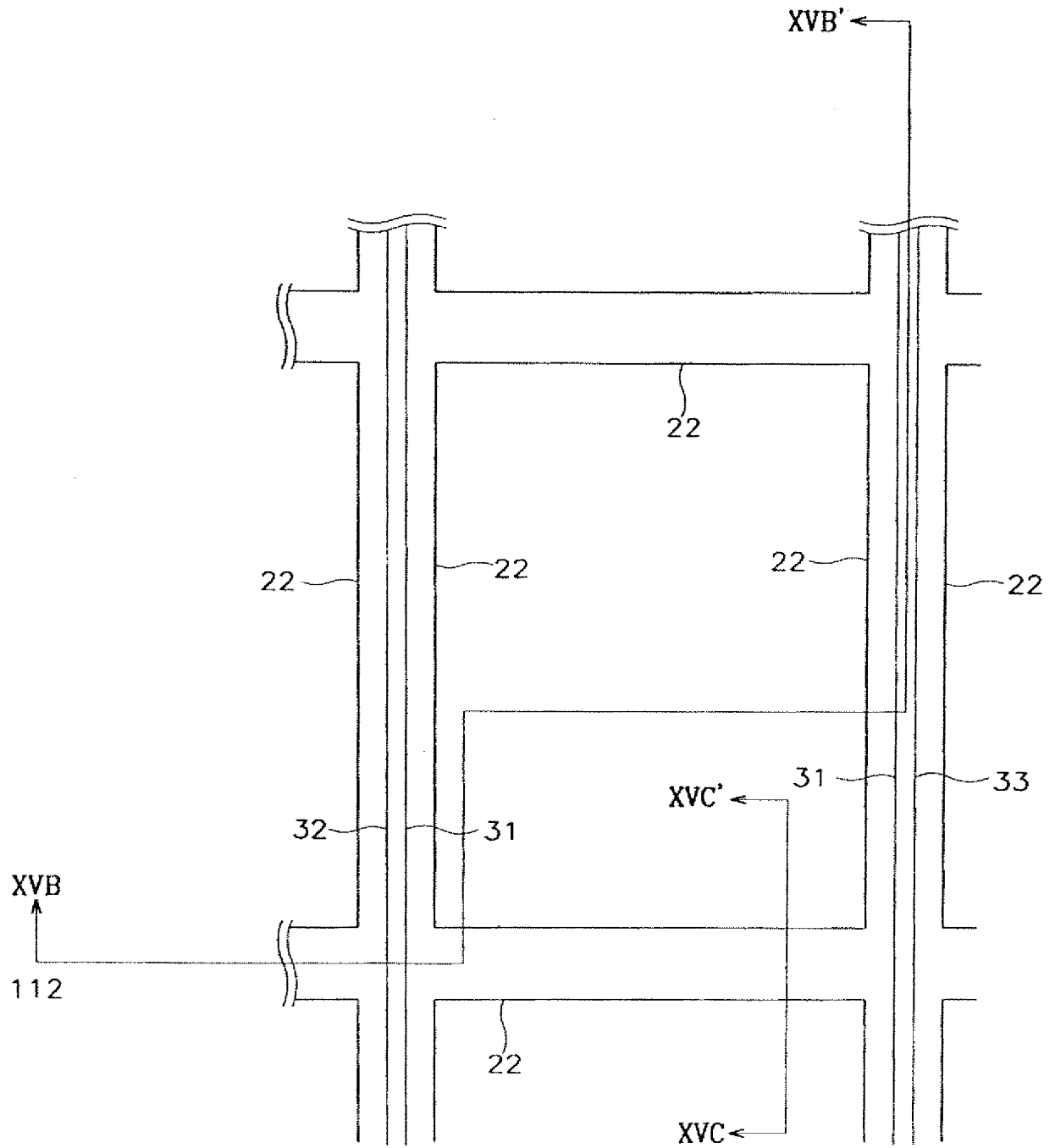


图 15A

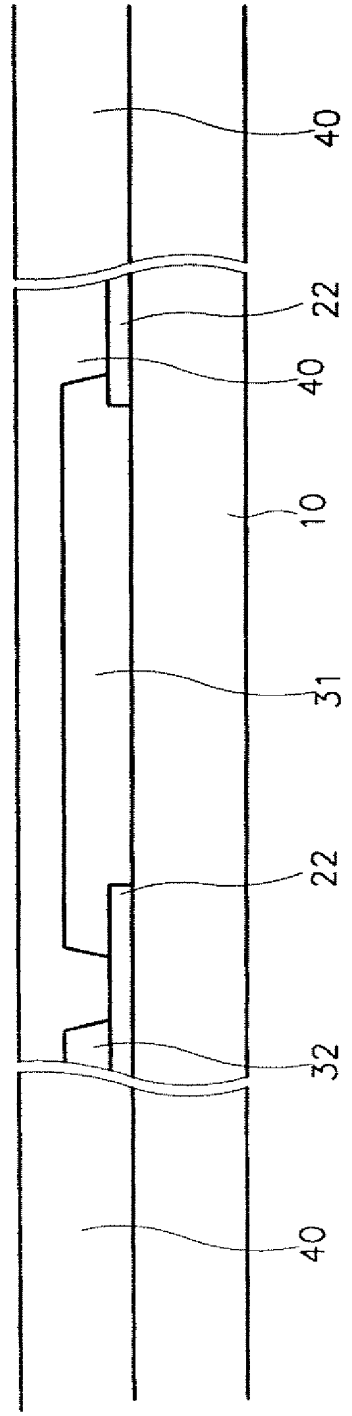


图 15B

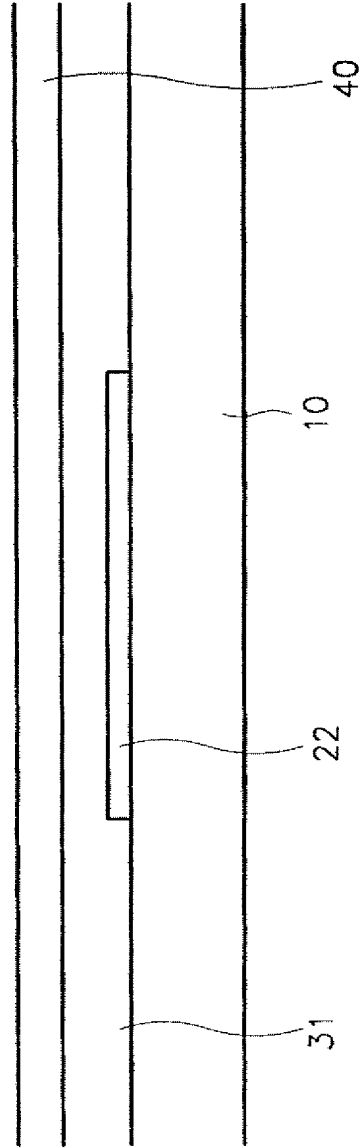


图 15C

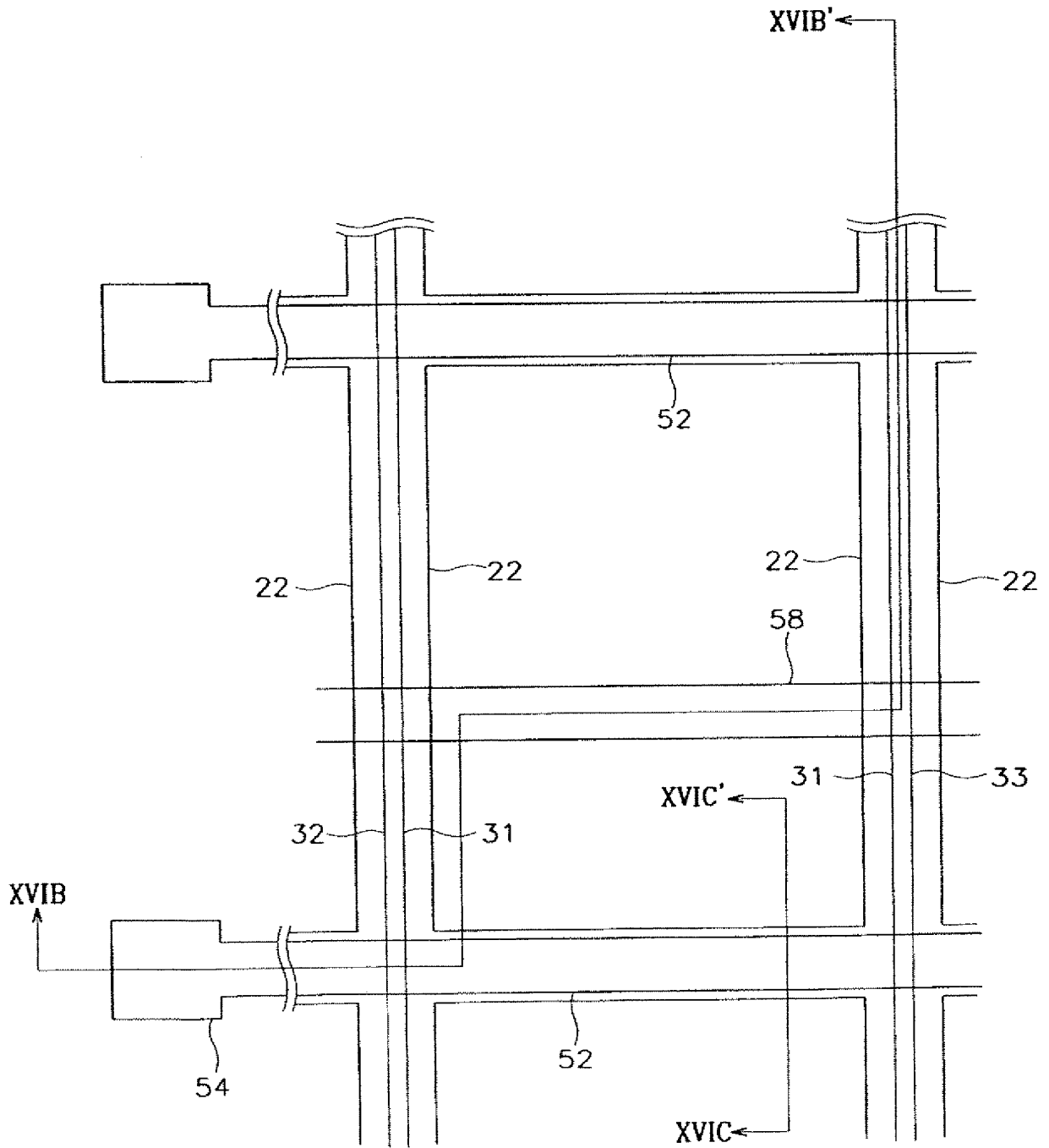


图 16A

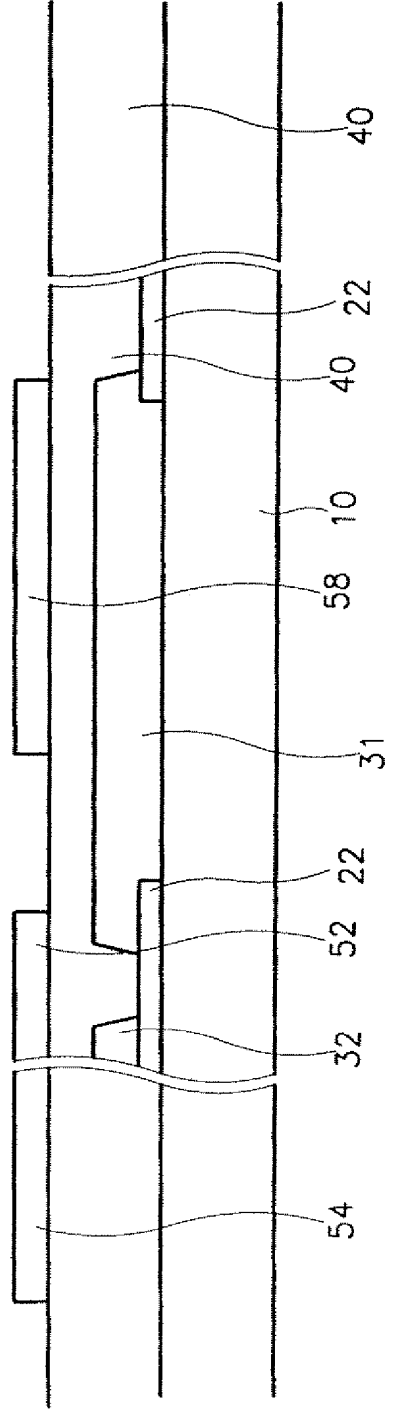


图 16B

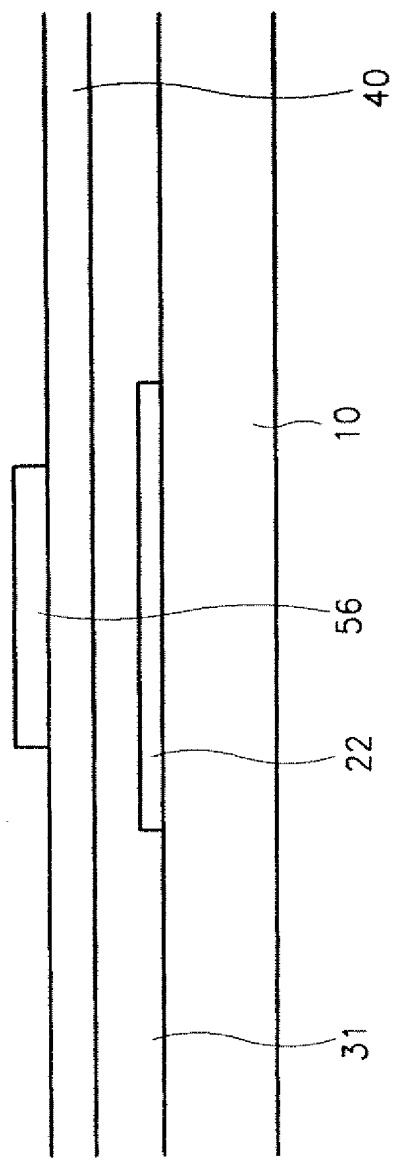


图 16C

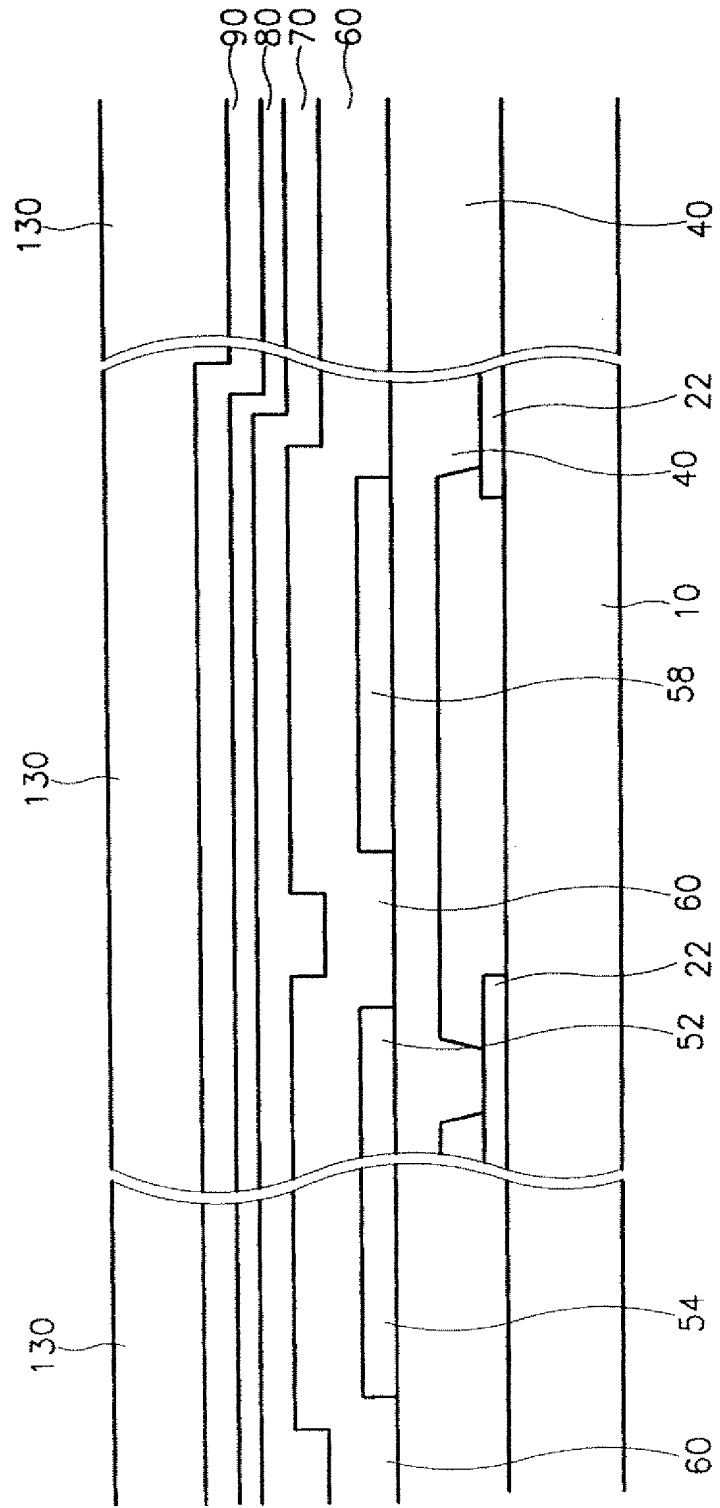
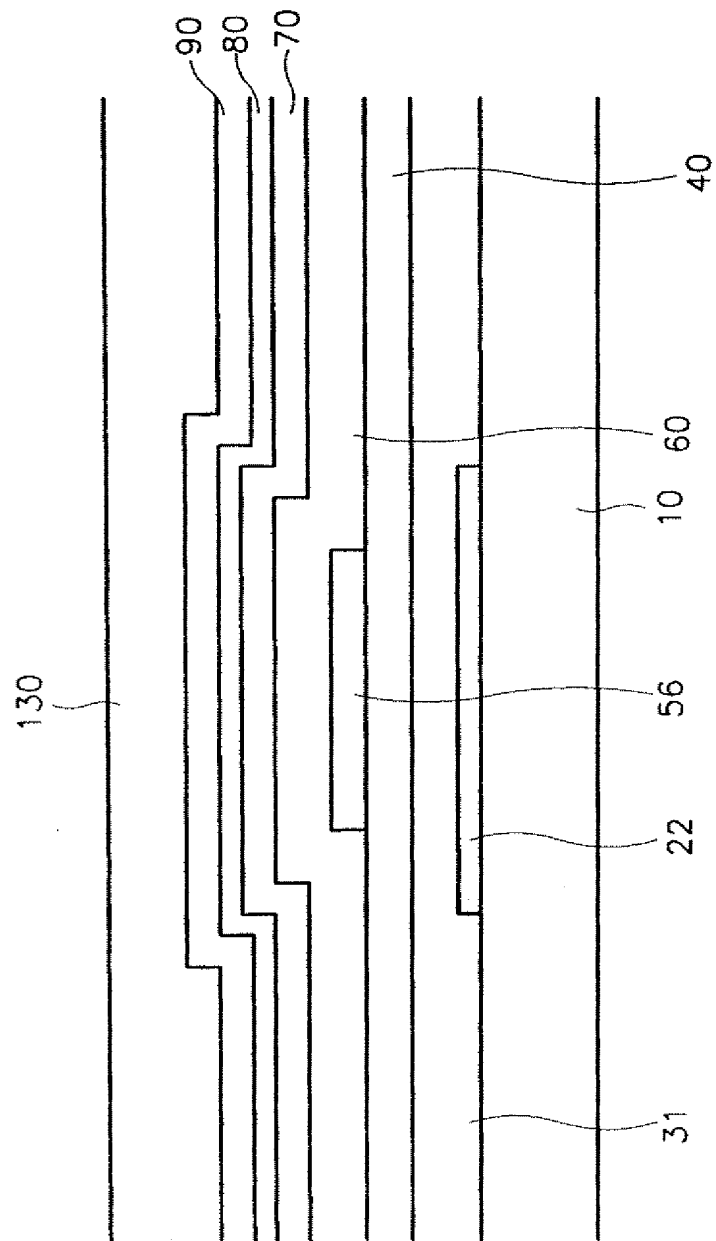


图 17A



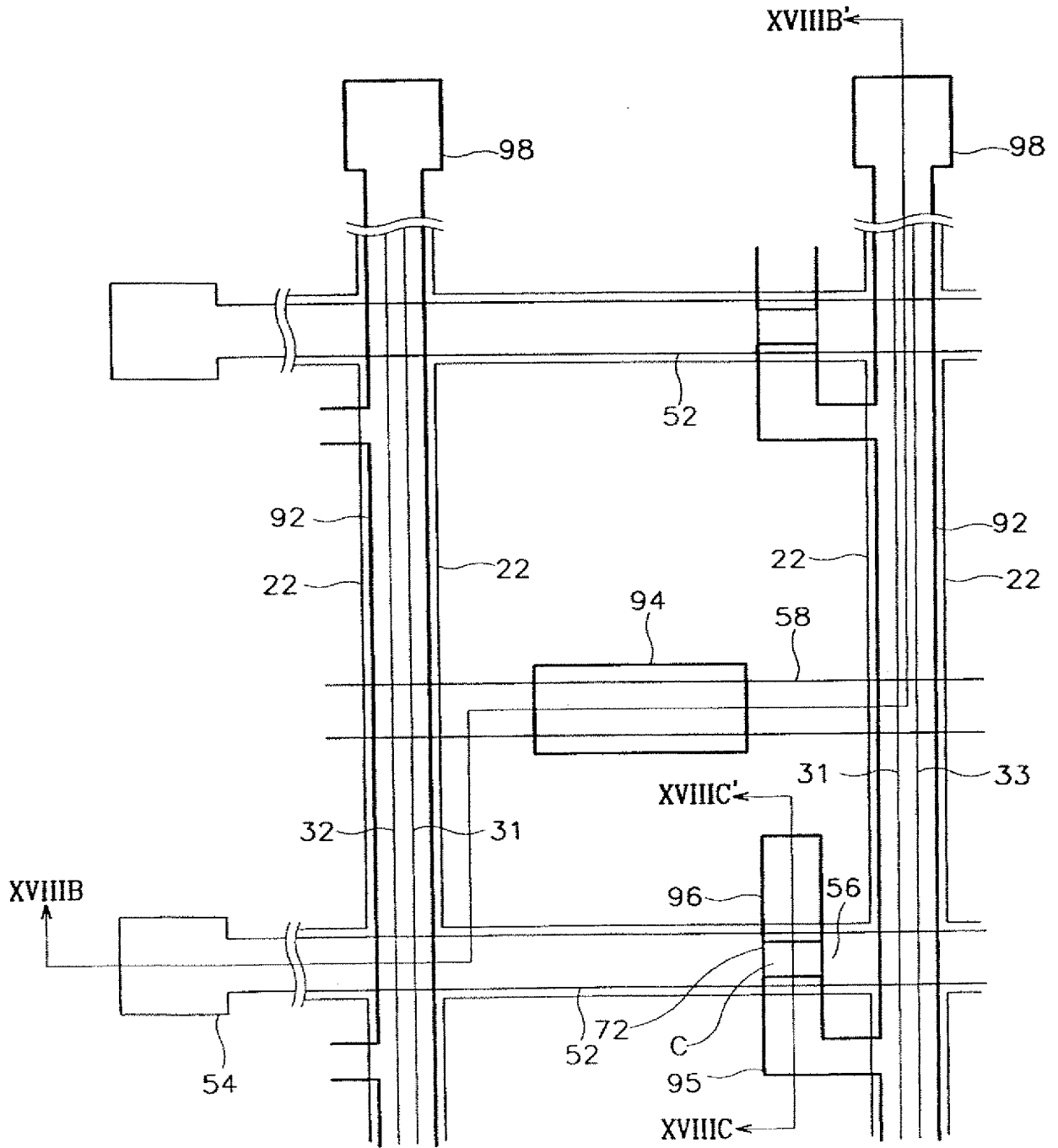


图 18A

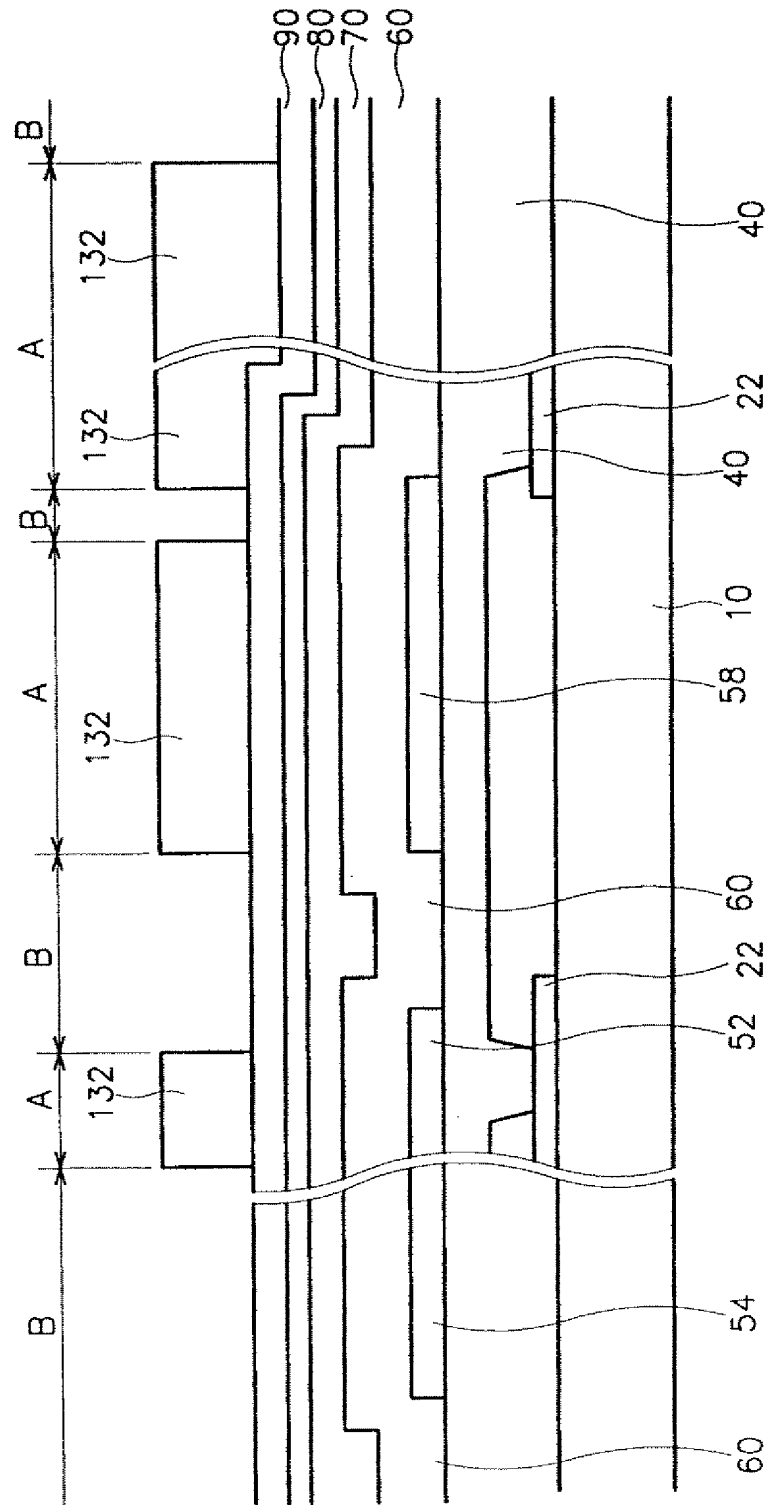


图 18B

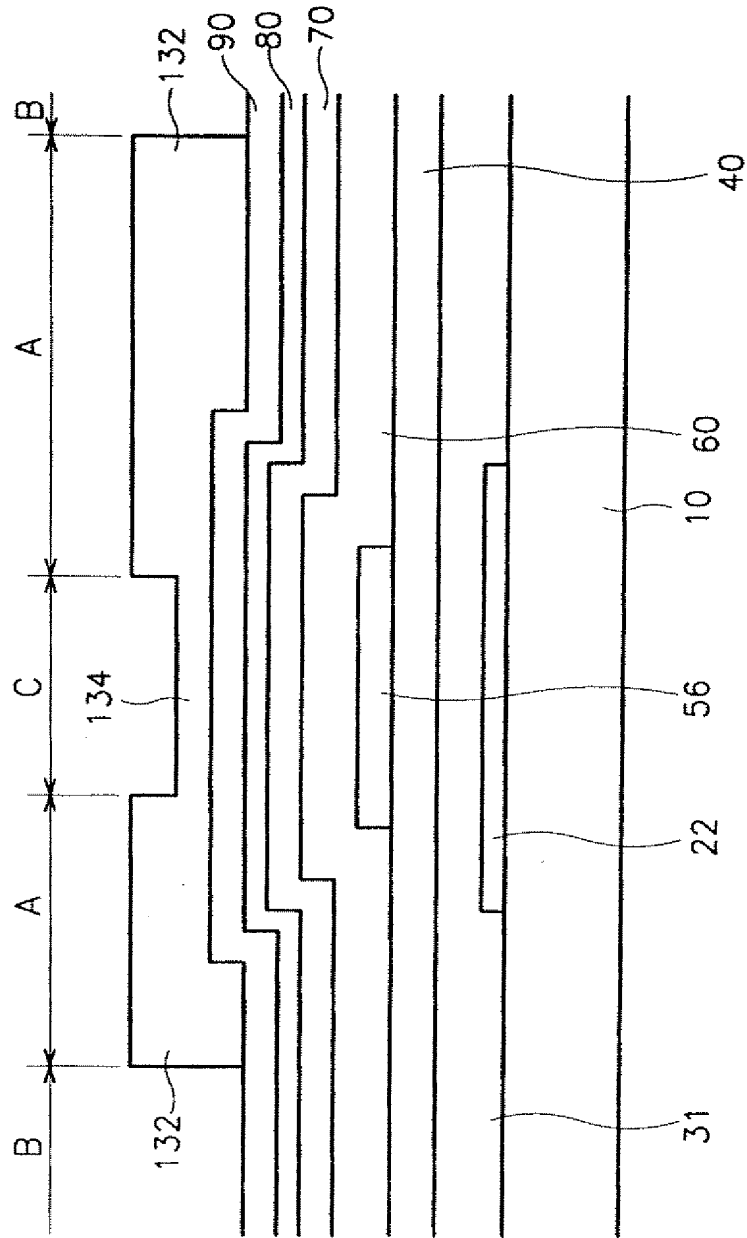


图 18C

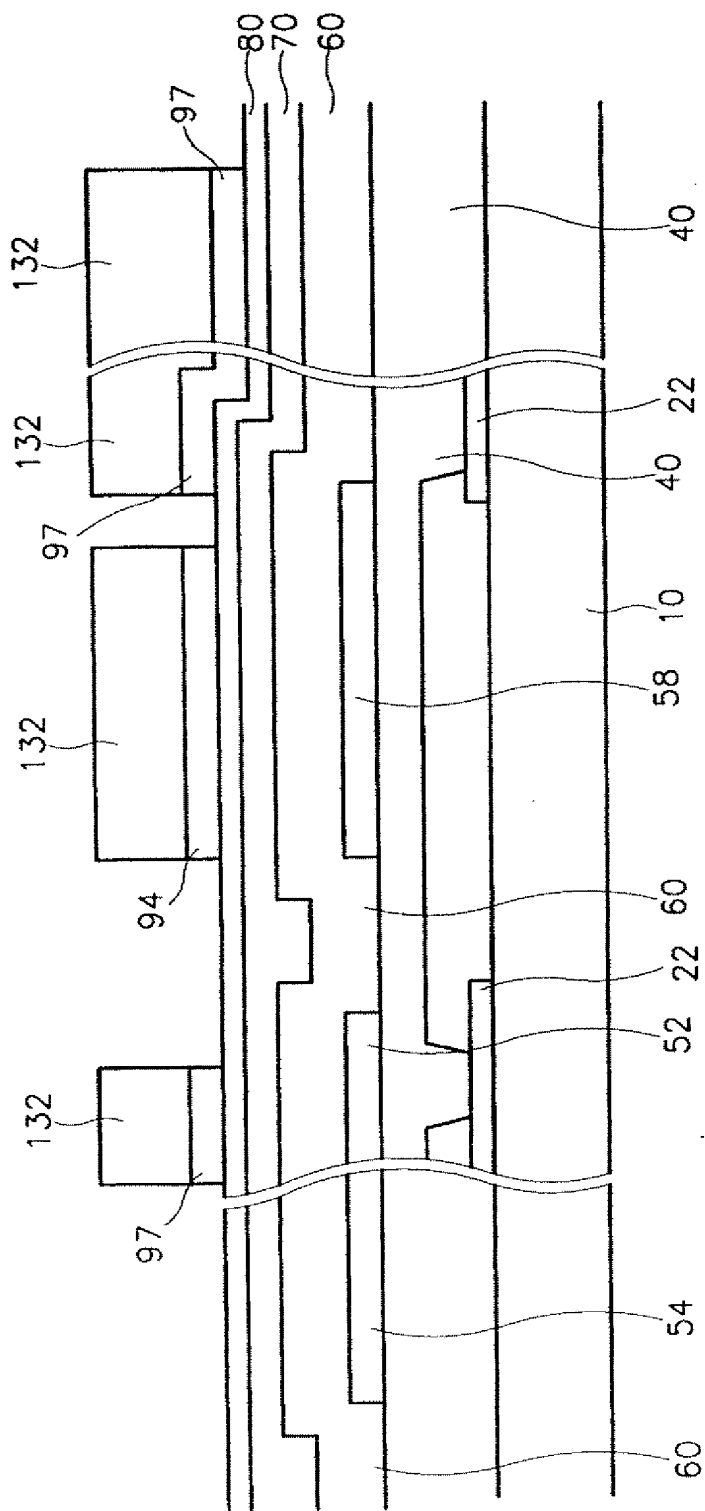


图 19A

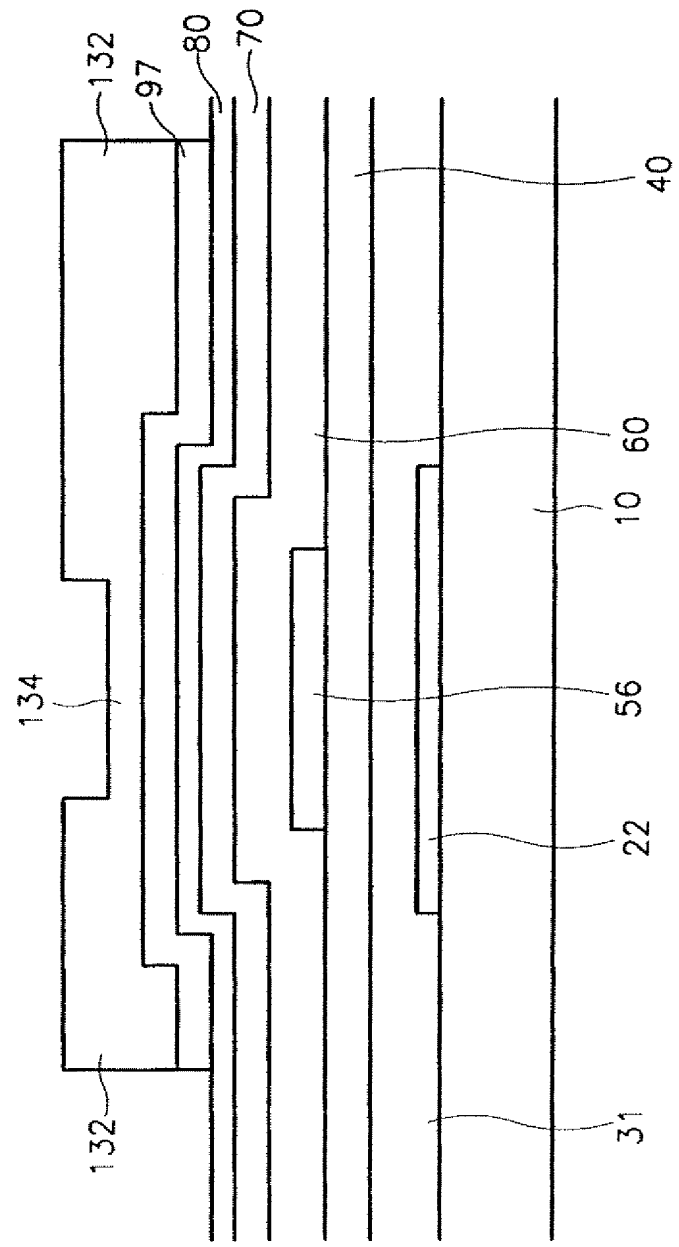


图 19B

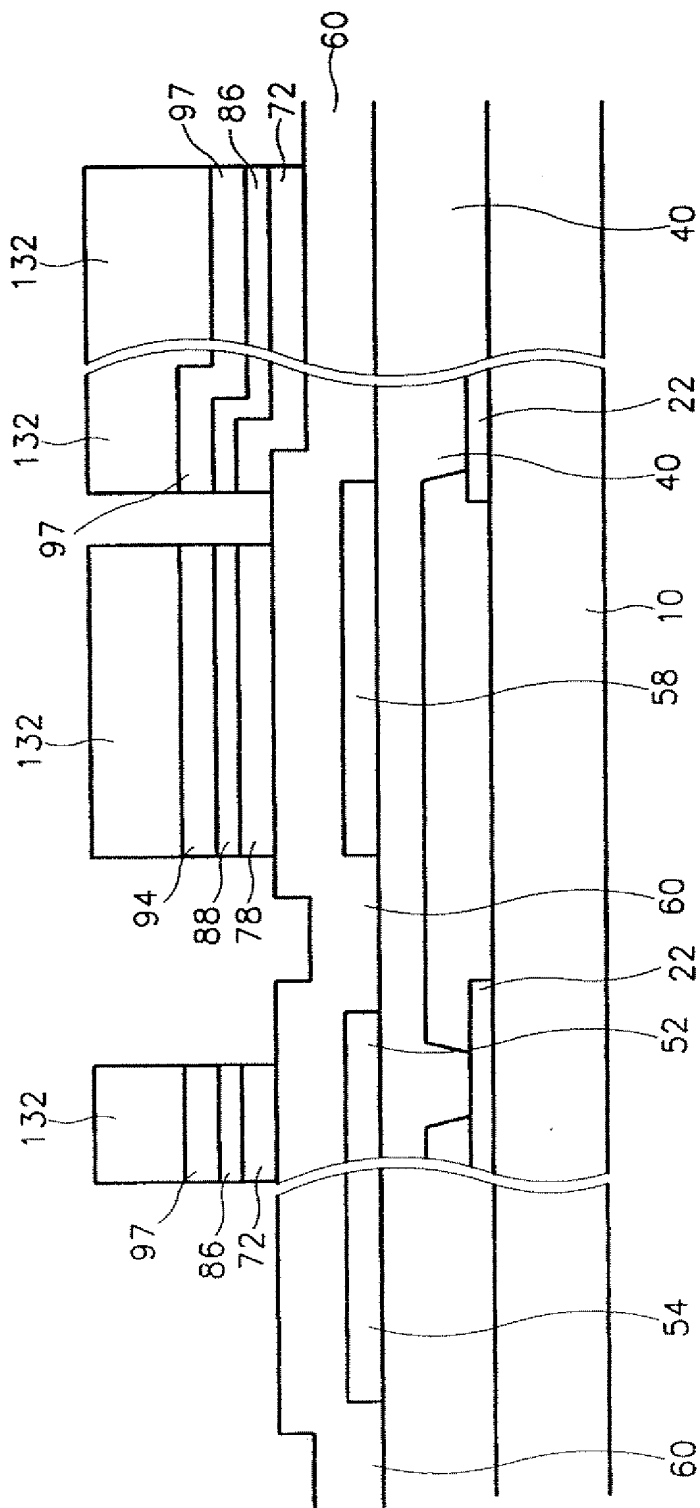


图 20A

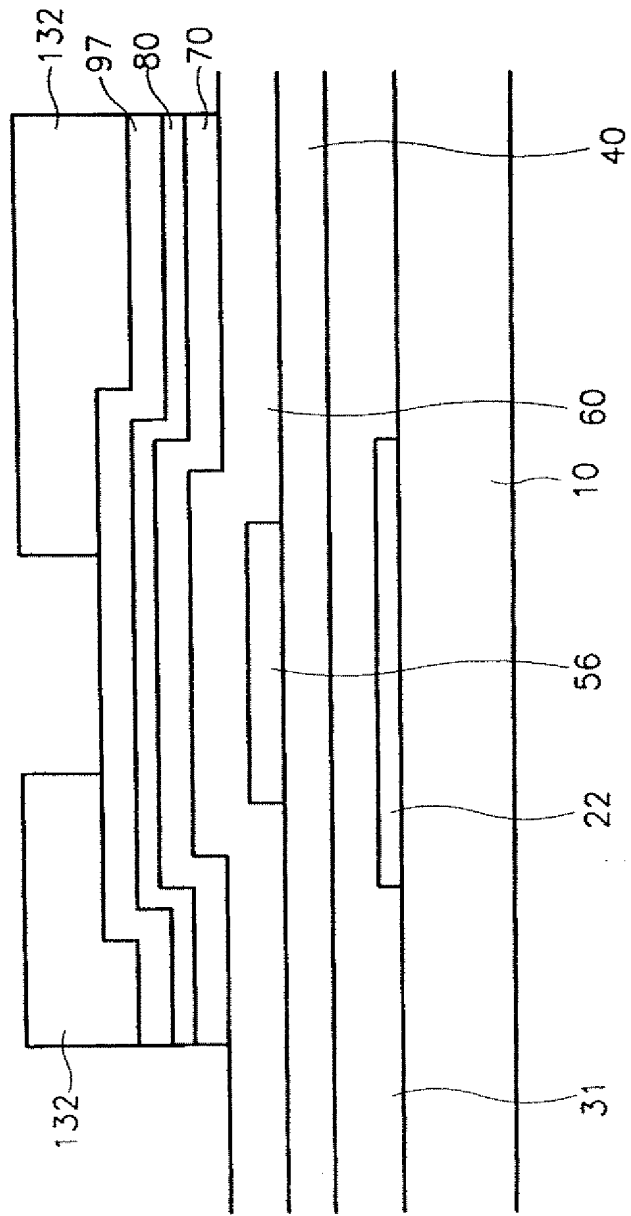


图 20B

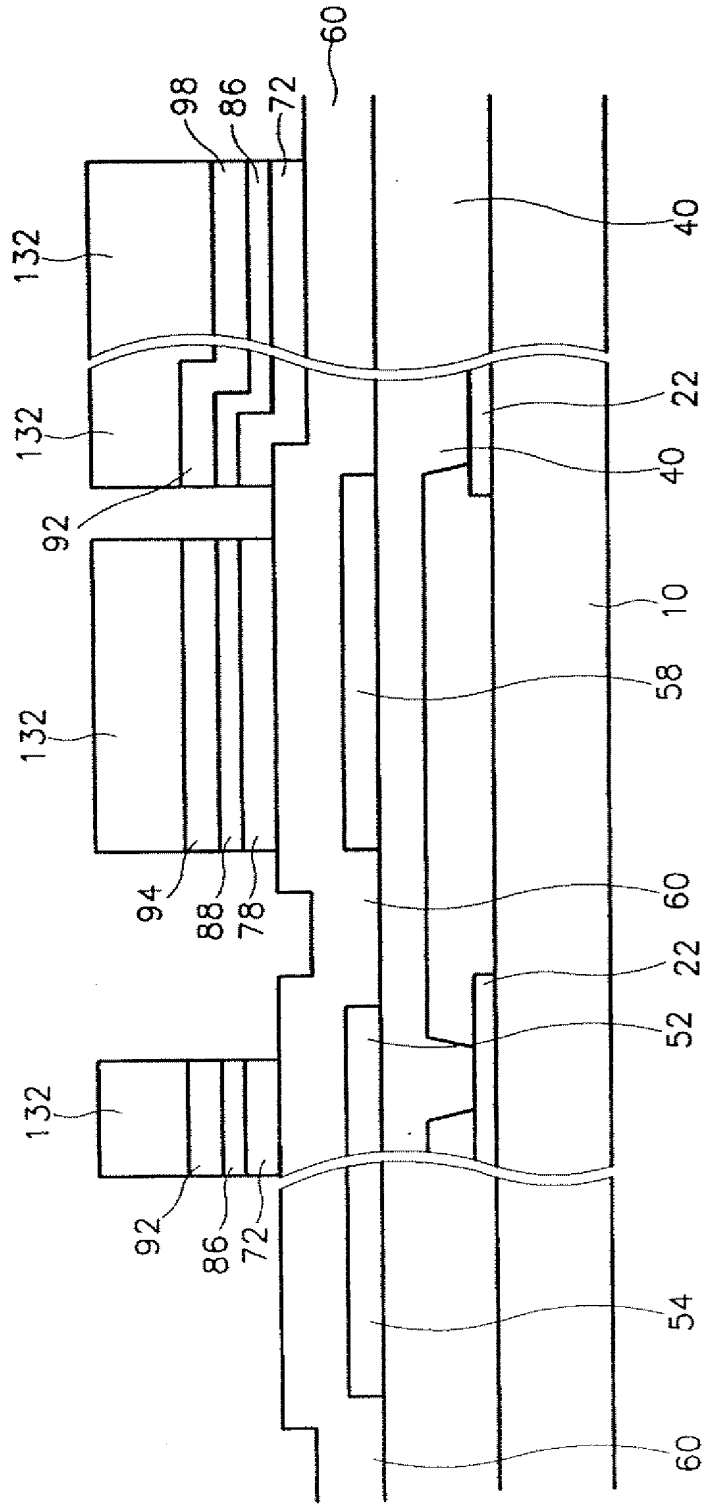


图 21A

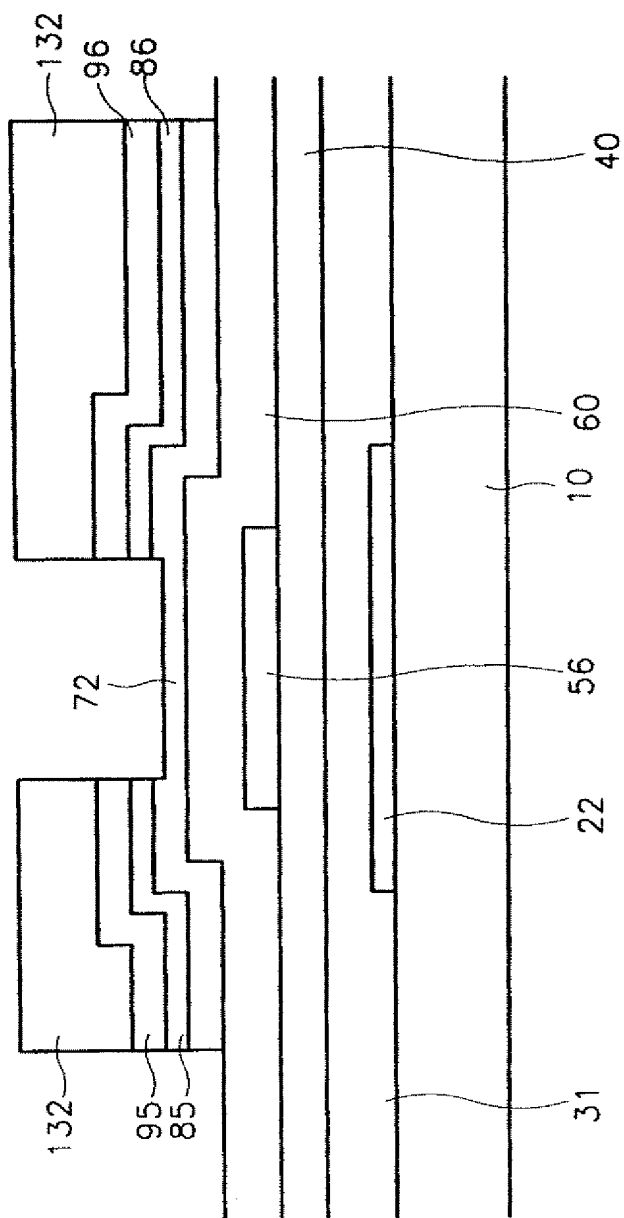


图 21B

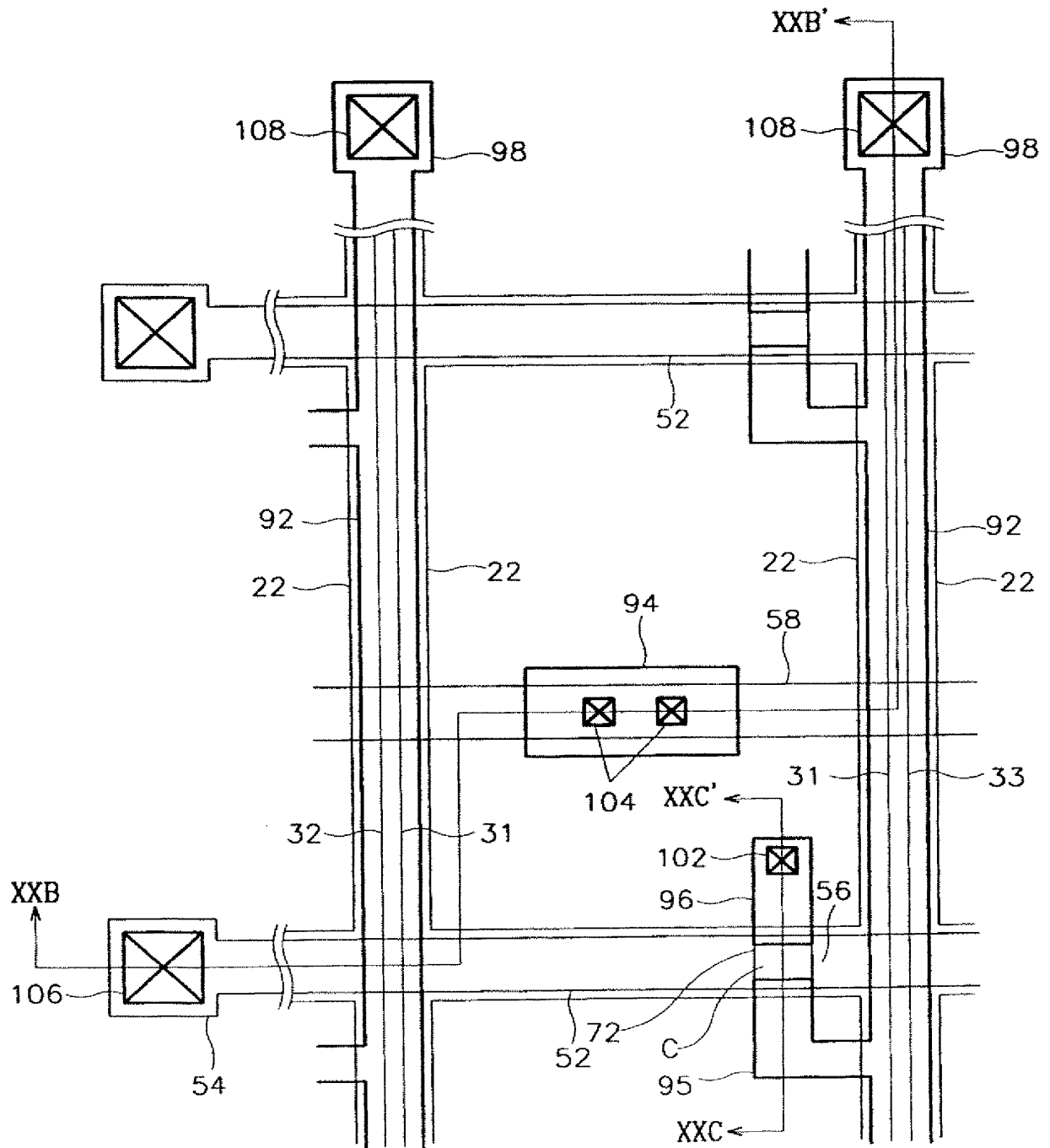


图 22A

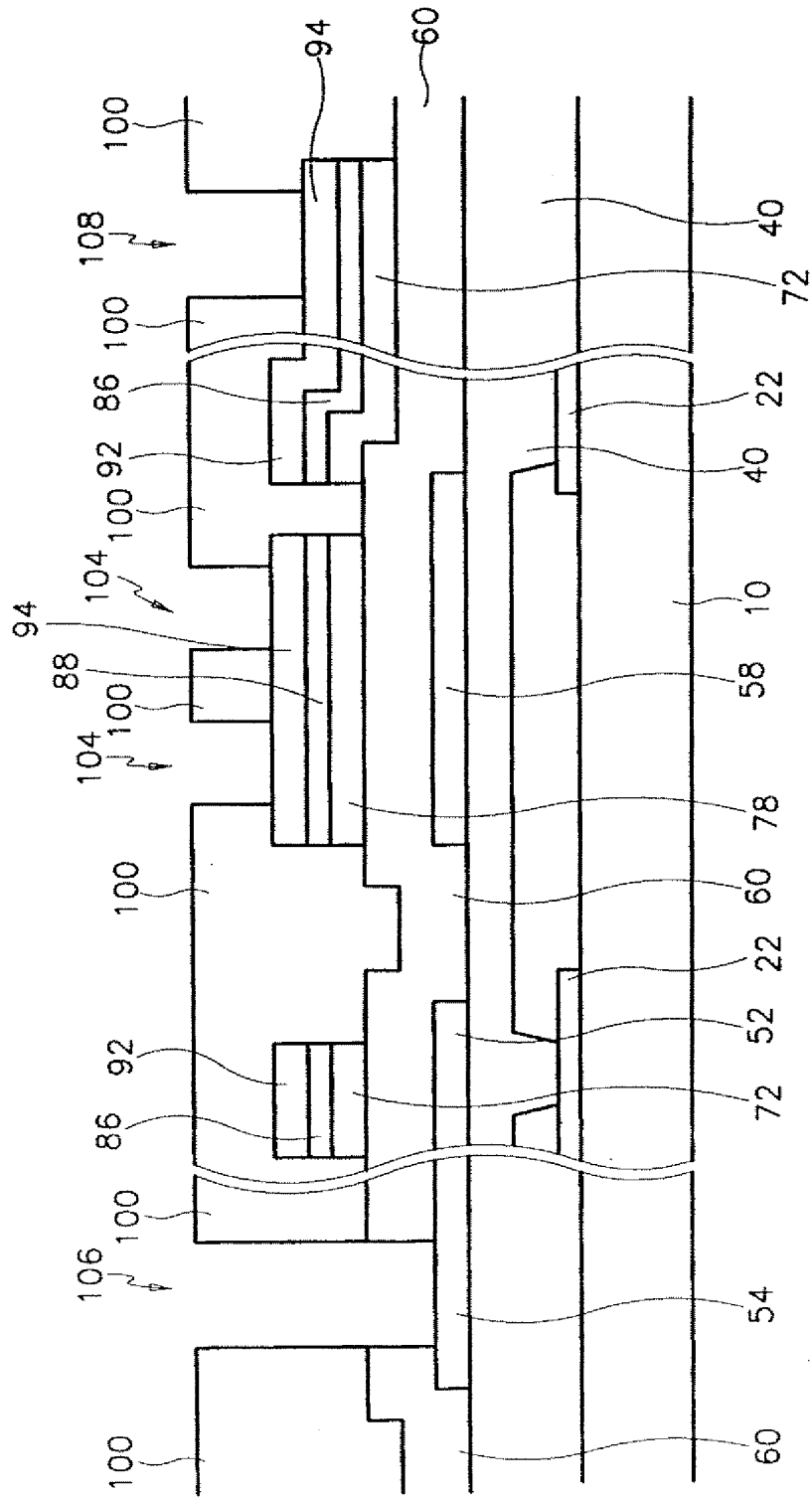


图 22B

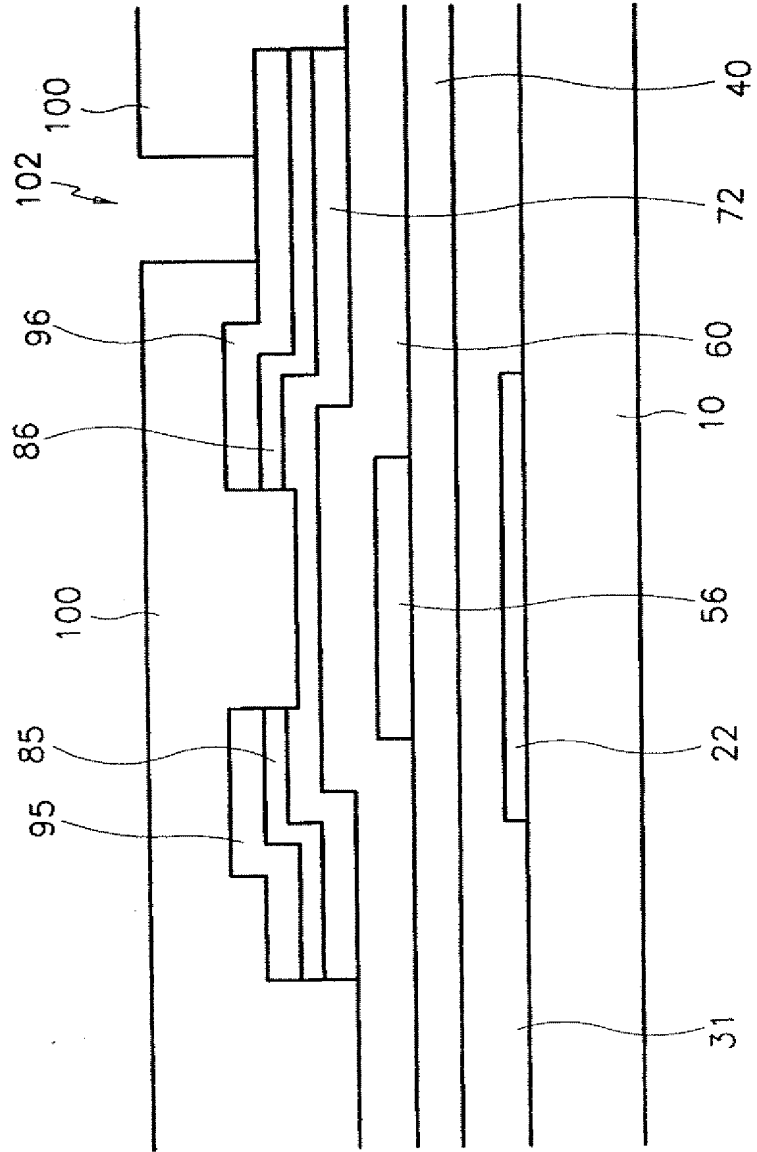


图 22C

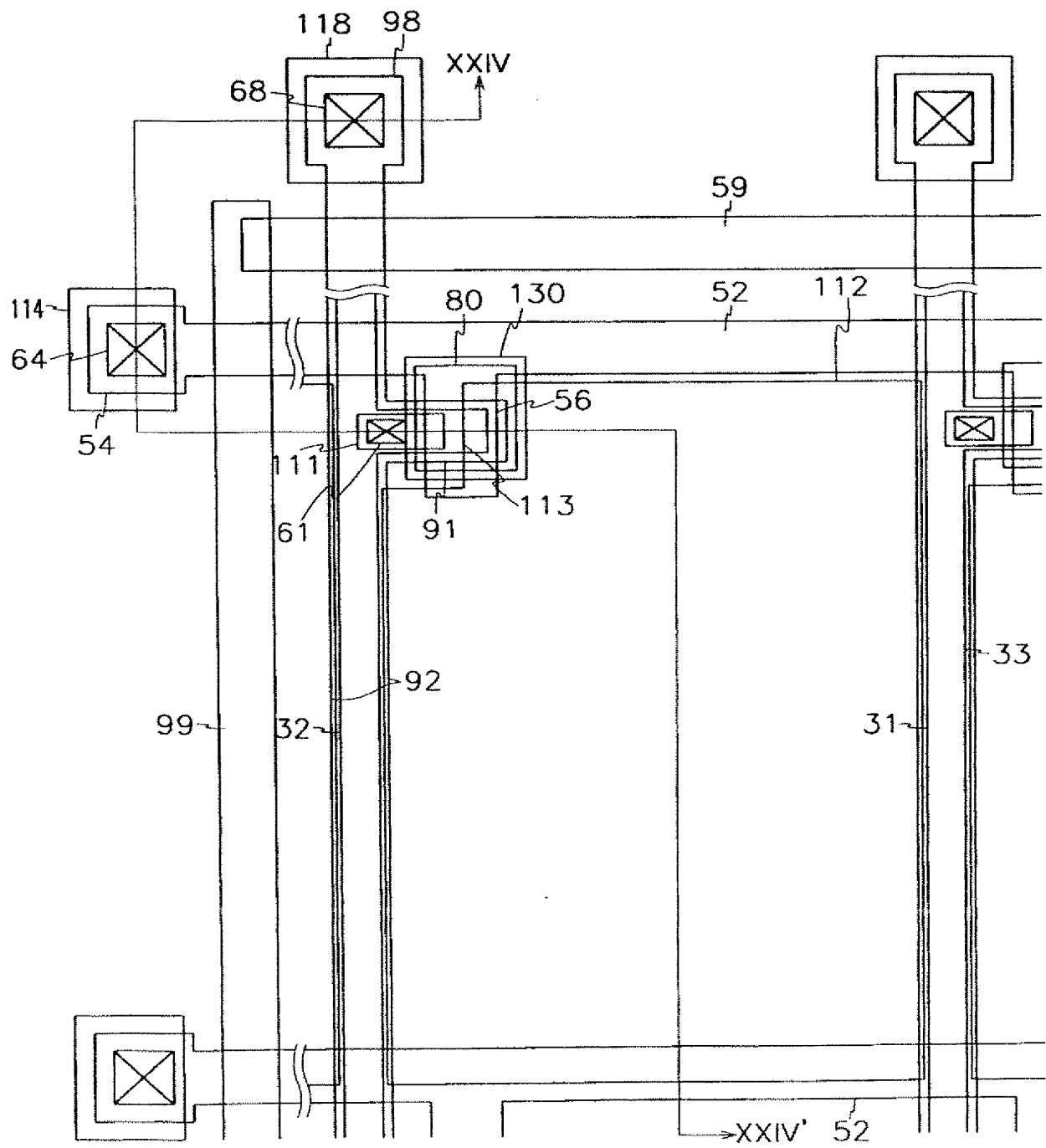


图 23

00.10.01

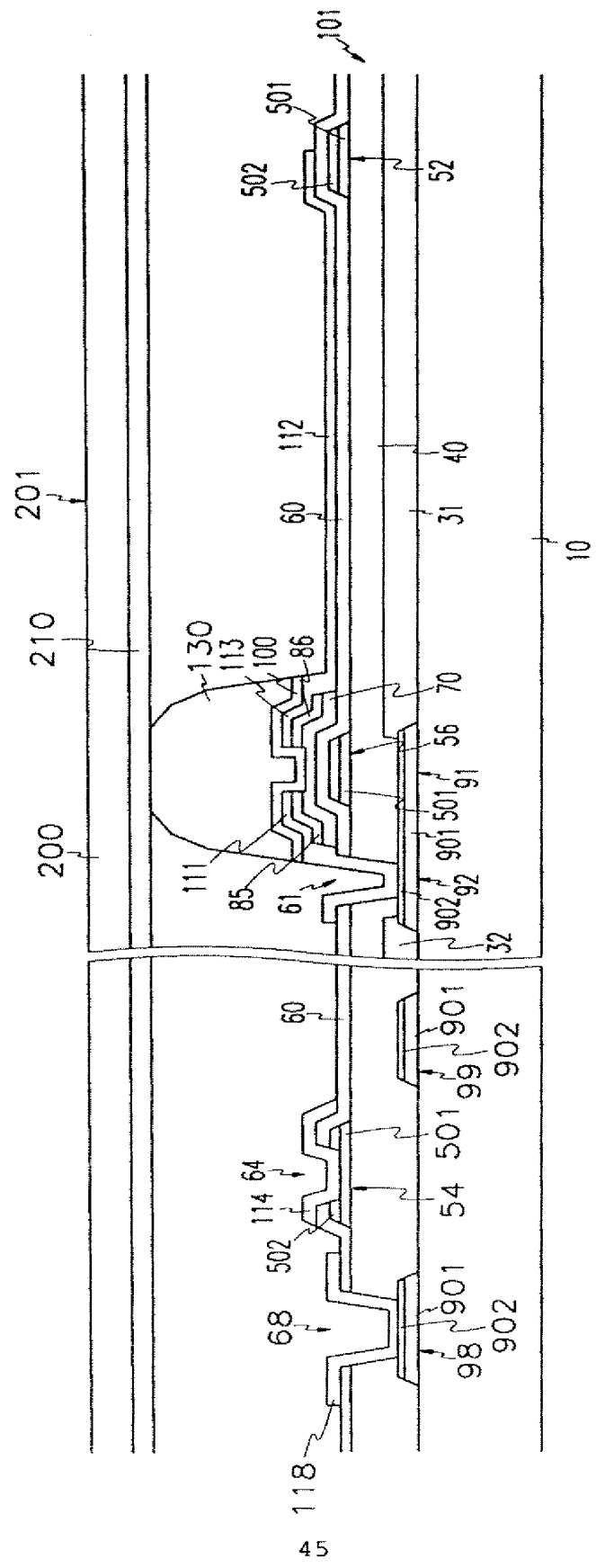


图 24

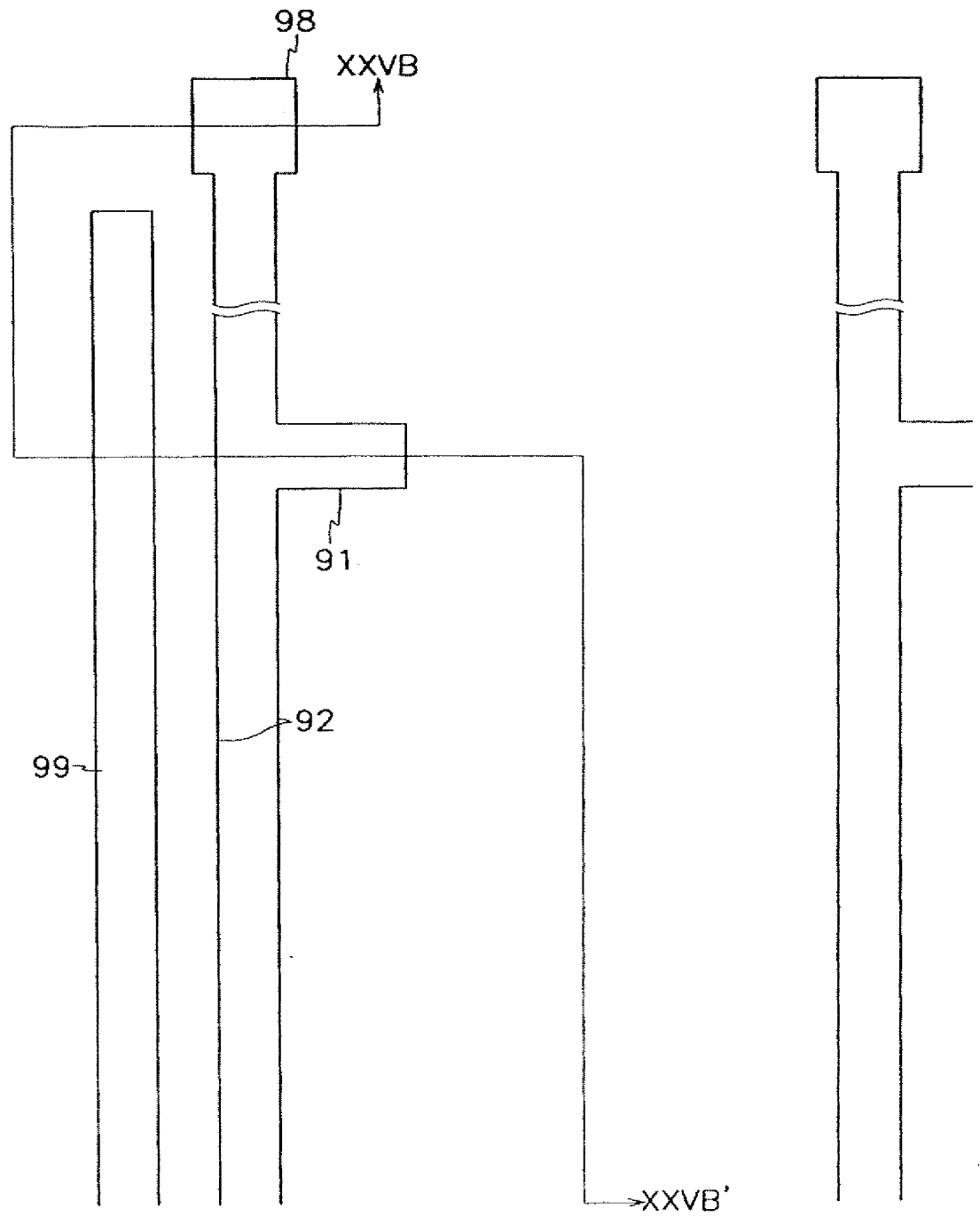


图 25A

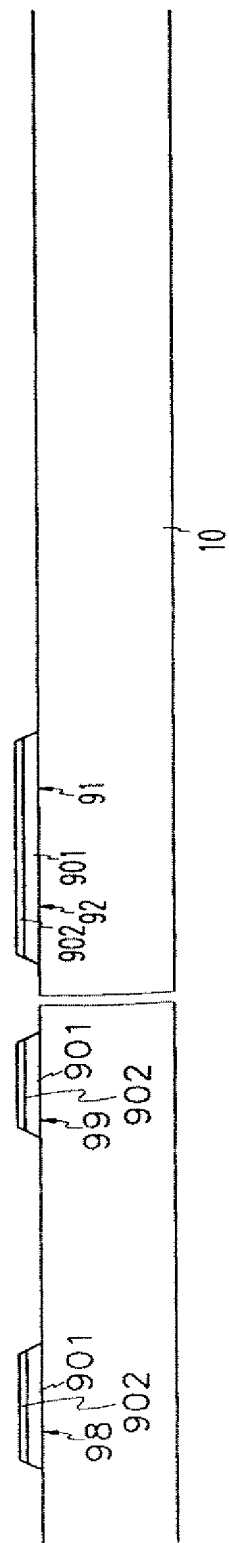


图 25B

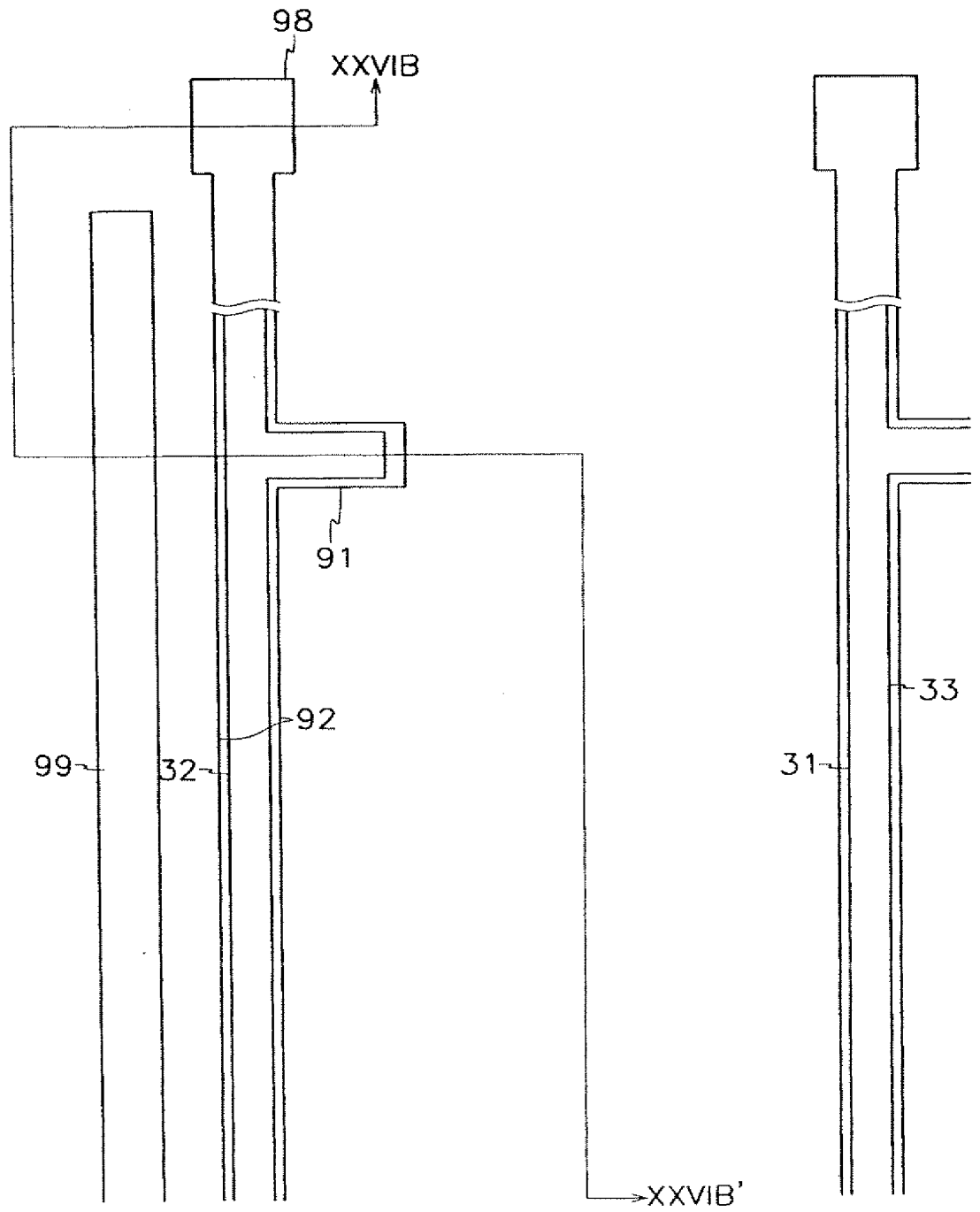


图 26A

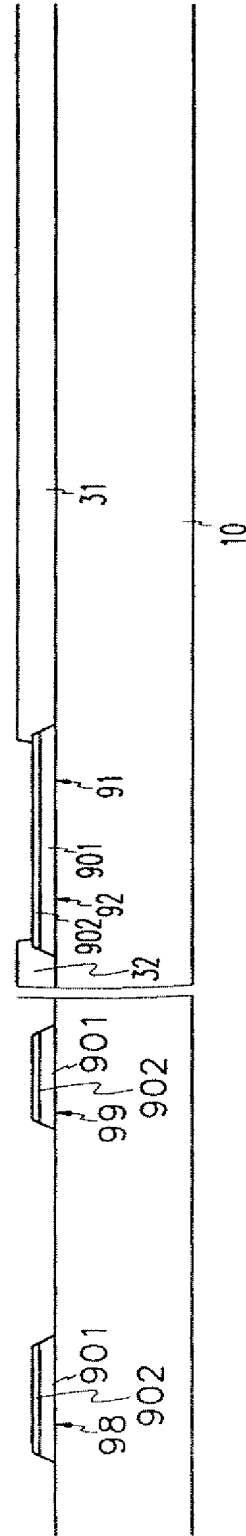


图 26B

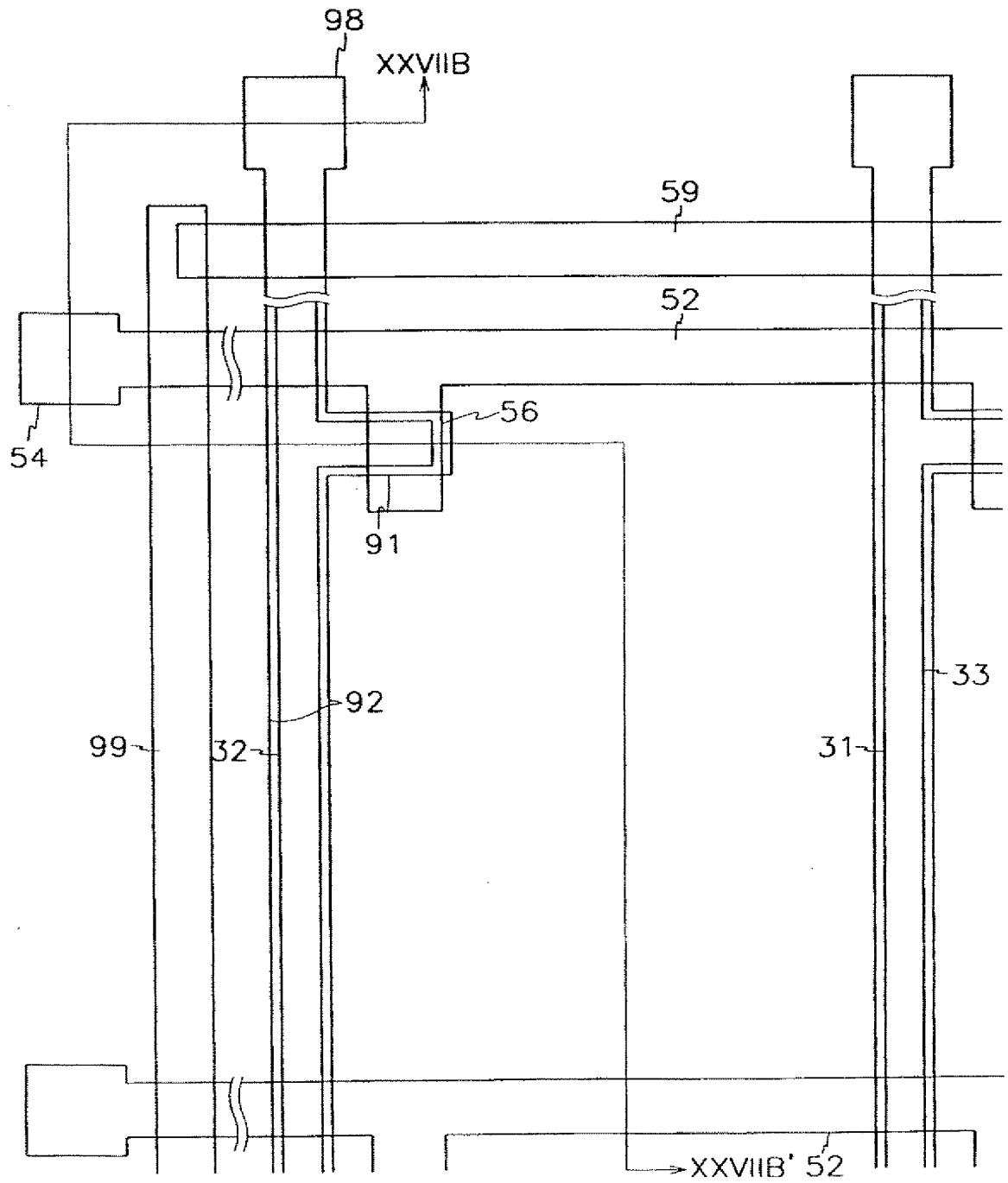


图 27A

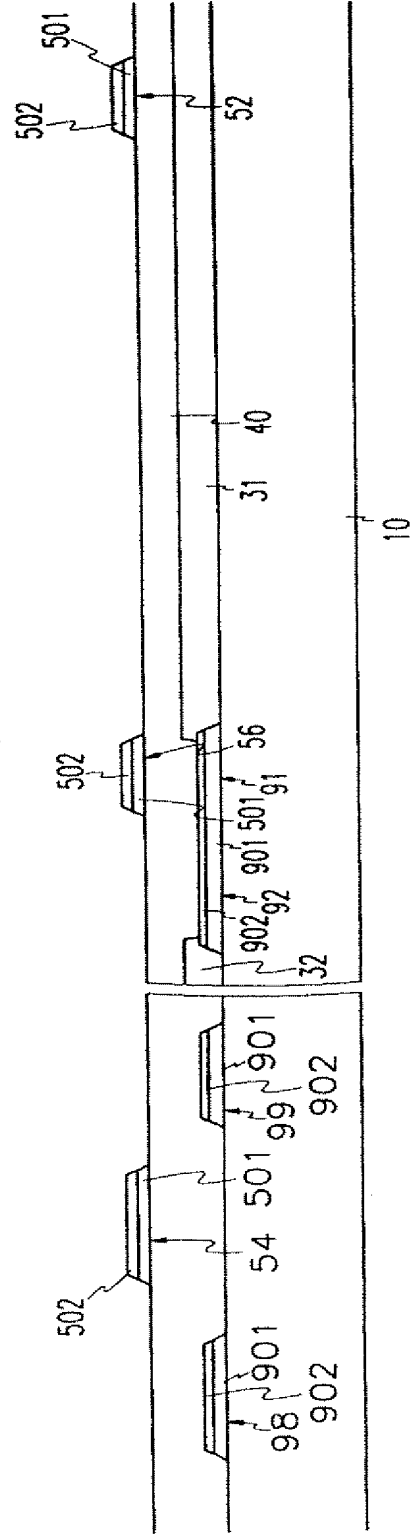


图 27B

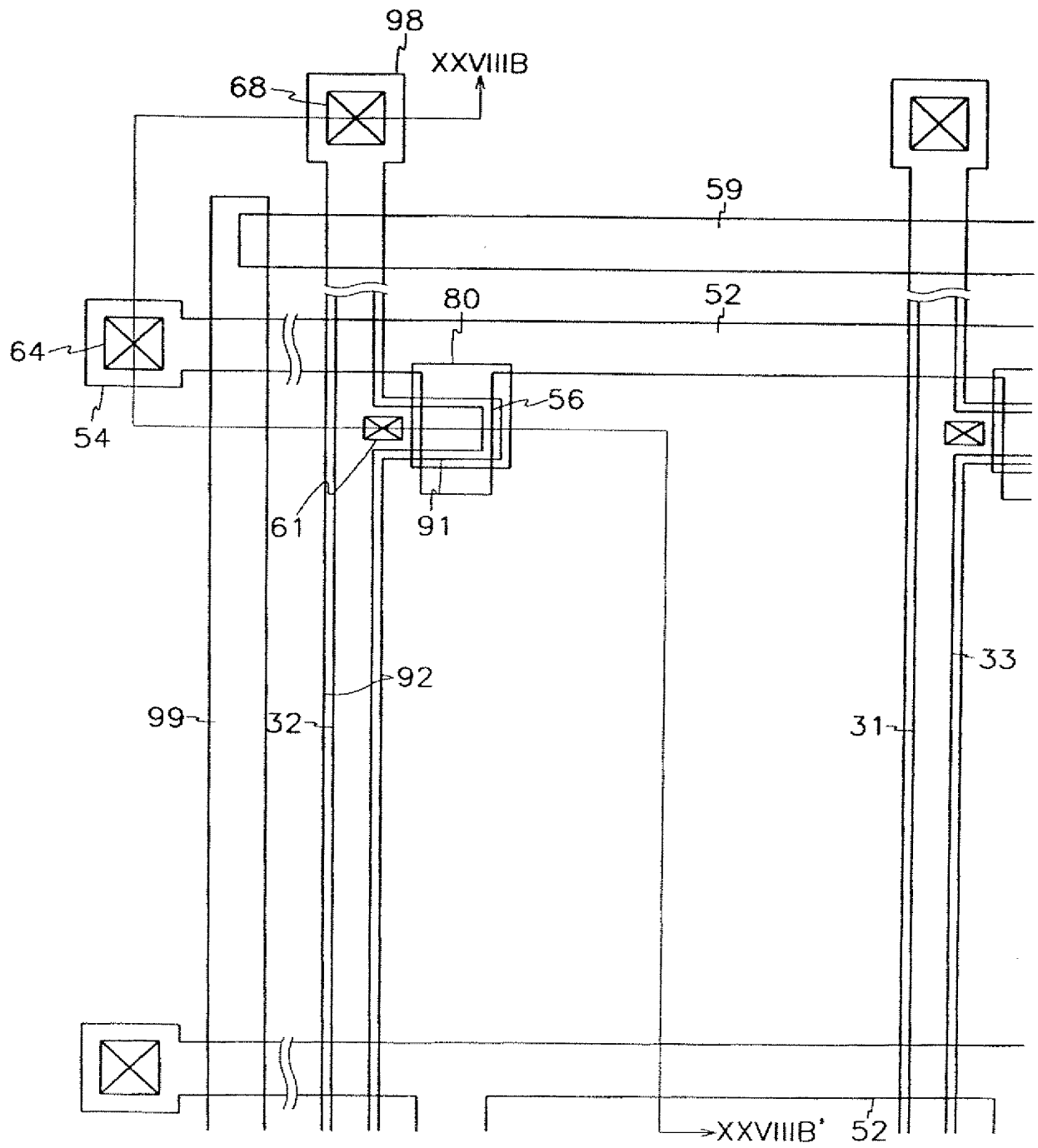


图 28A

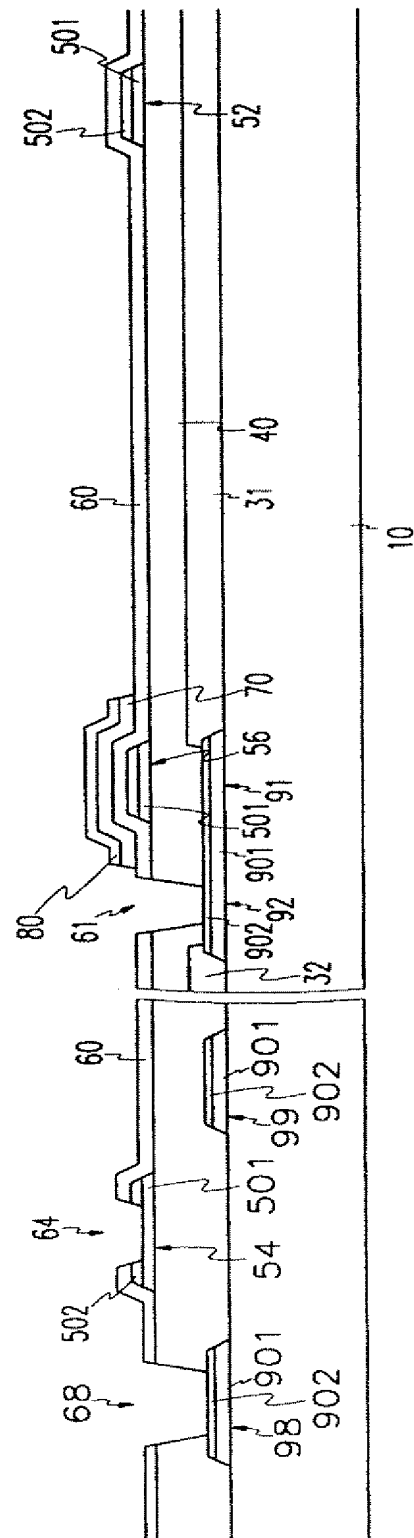
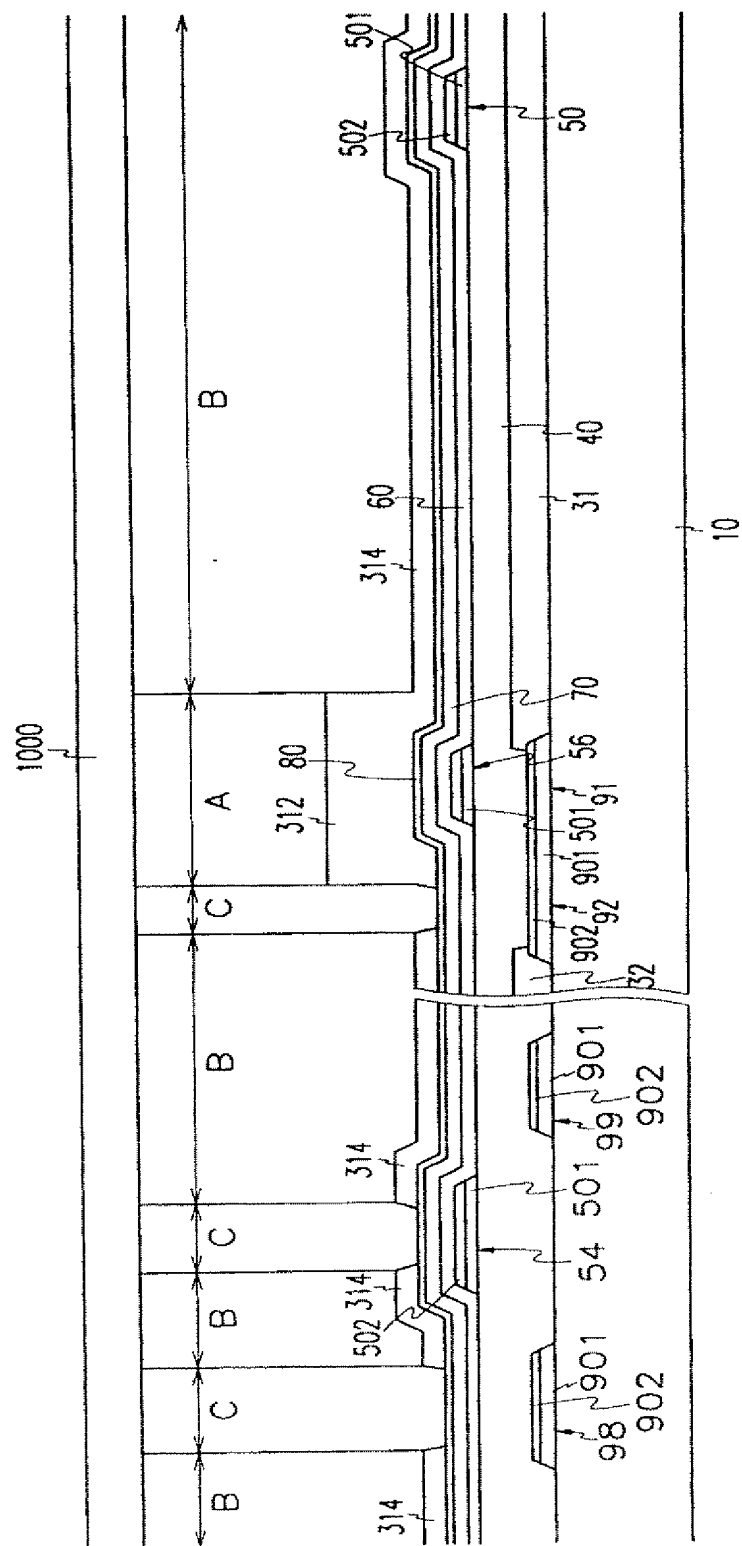


图 28B



29

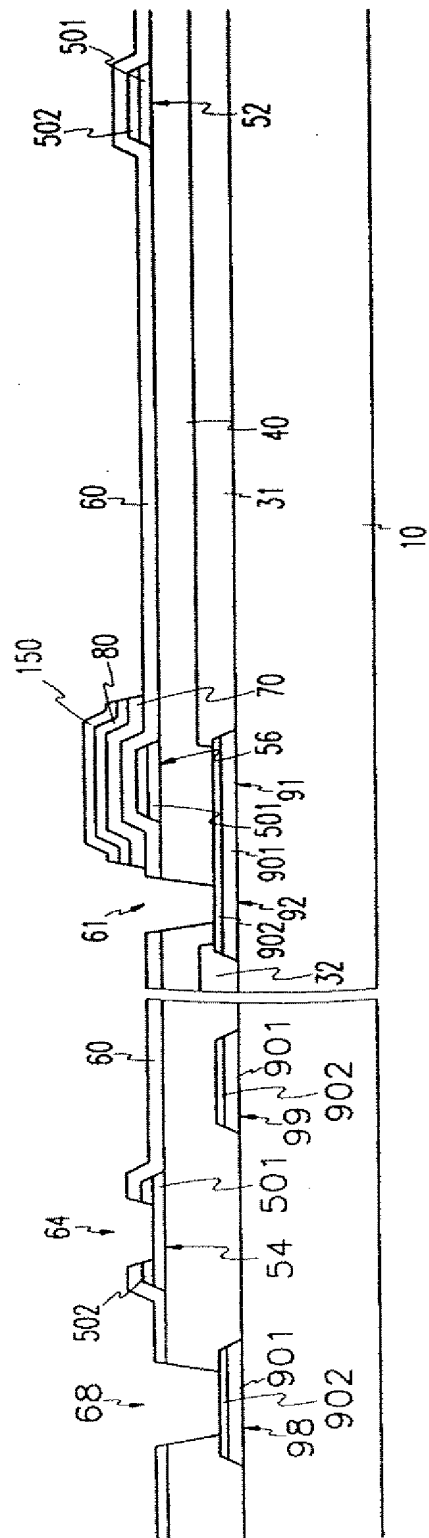


图 31

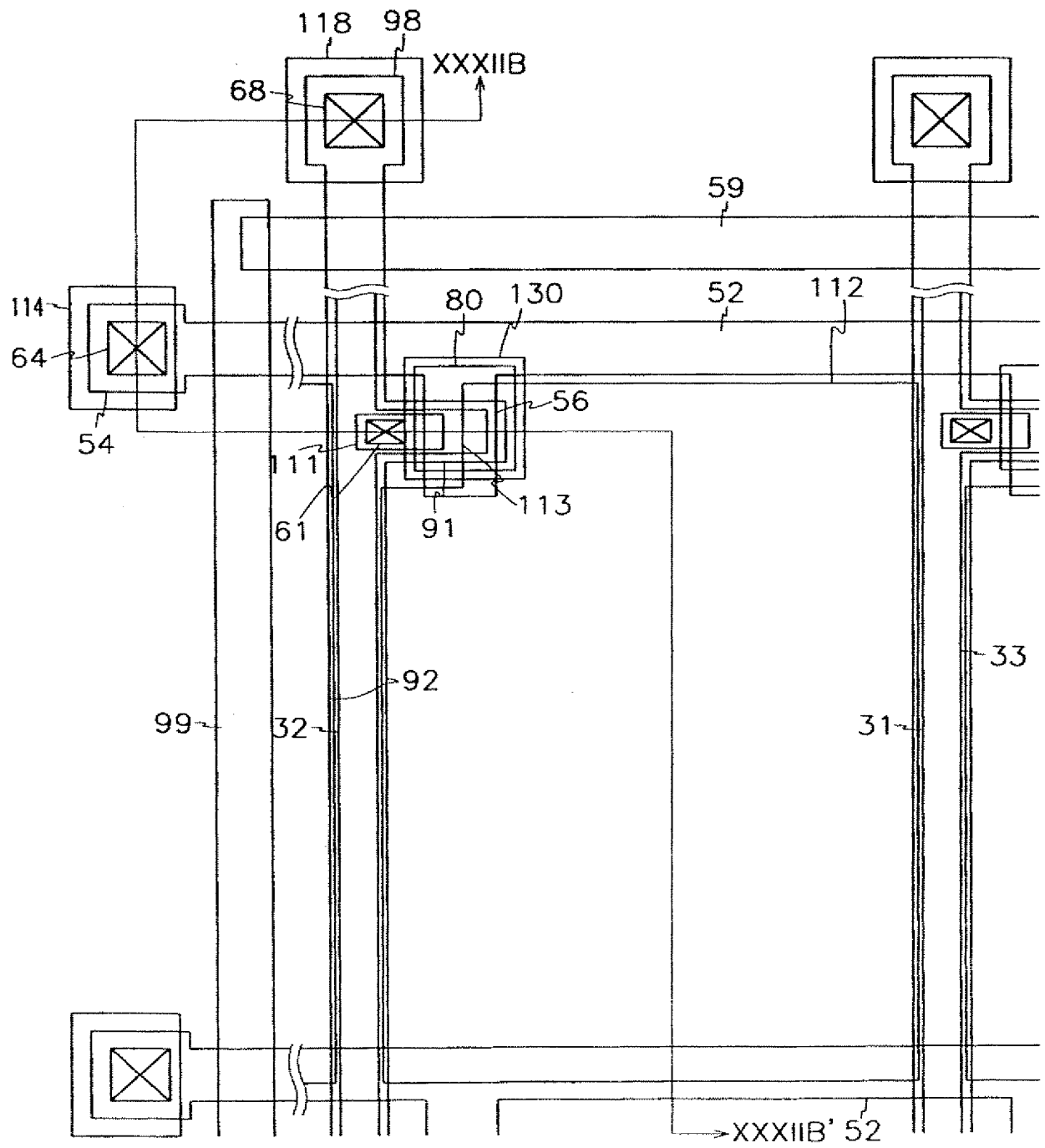


图 32A

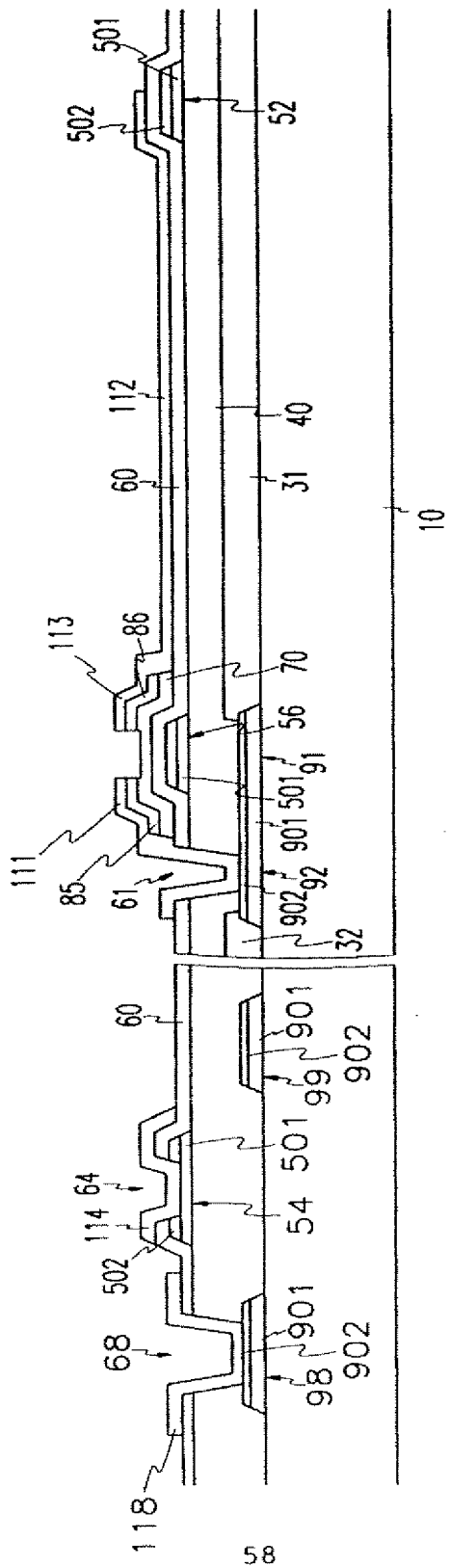


图 32B

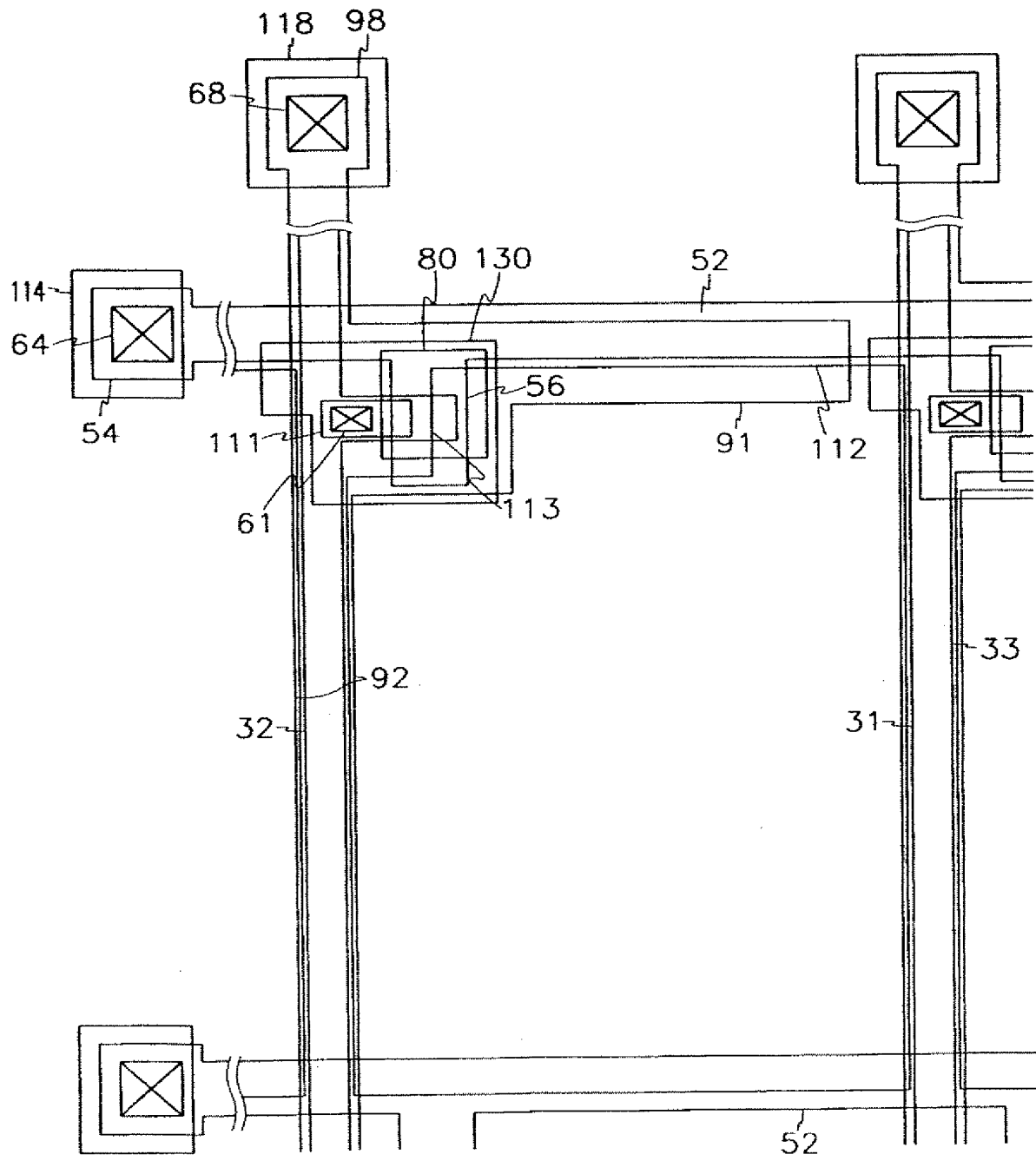


图 33

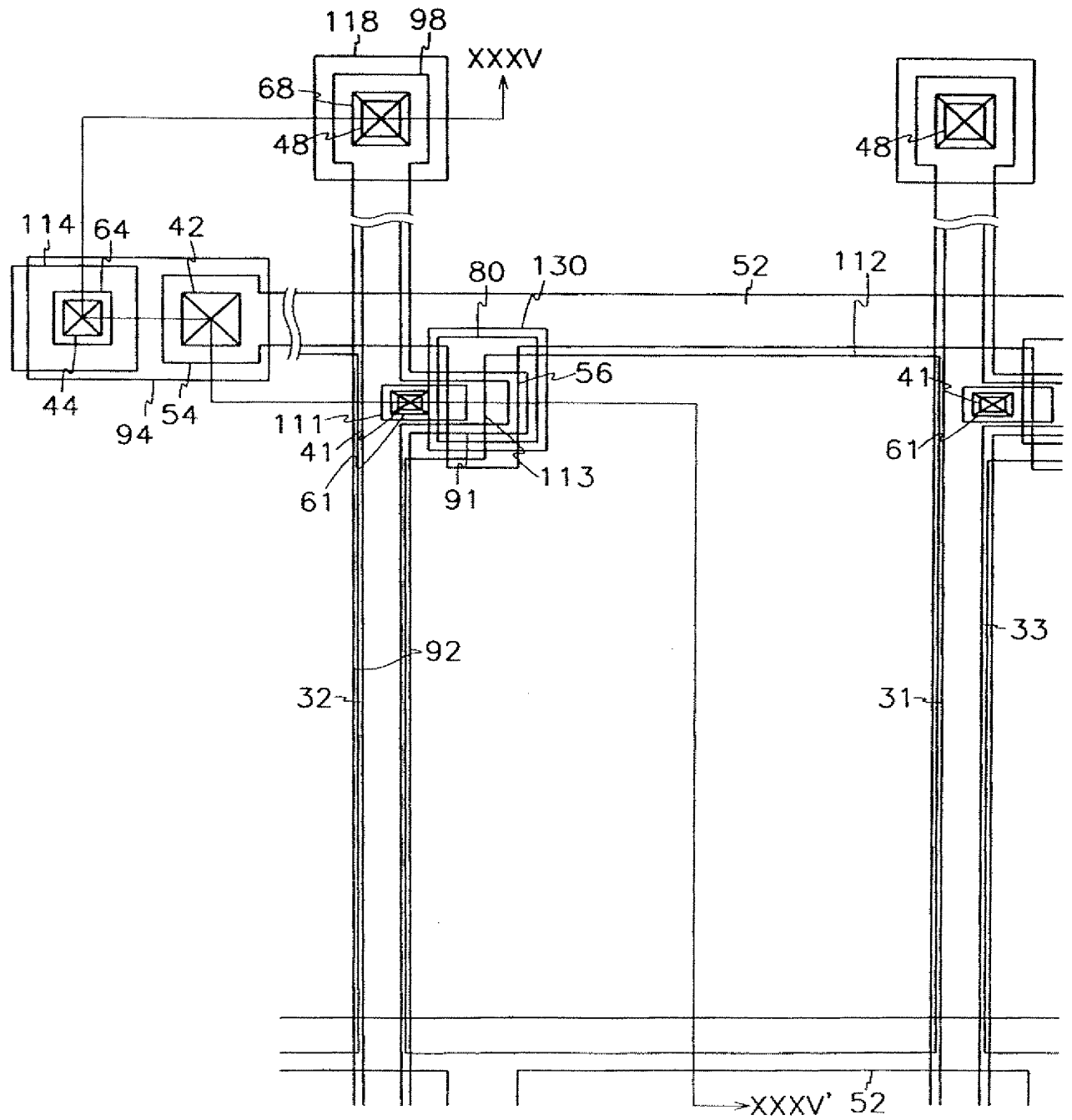


图 34

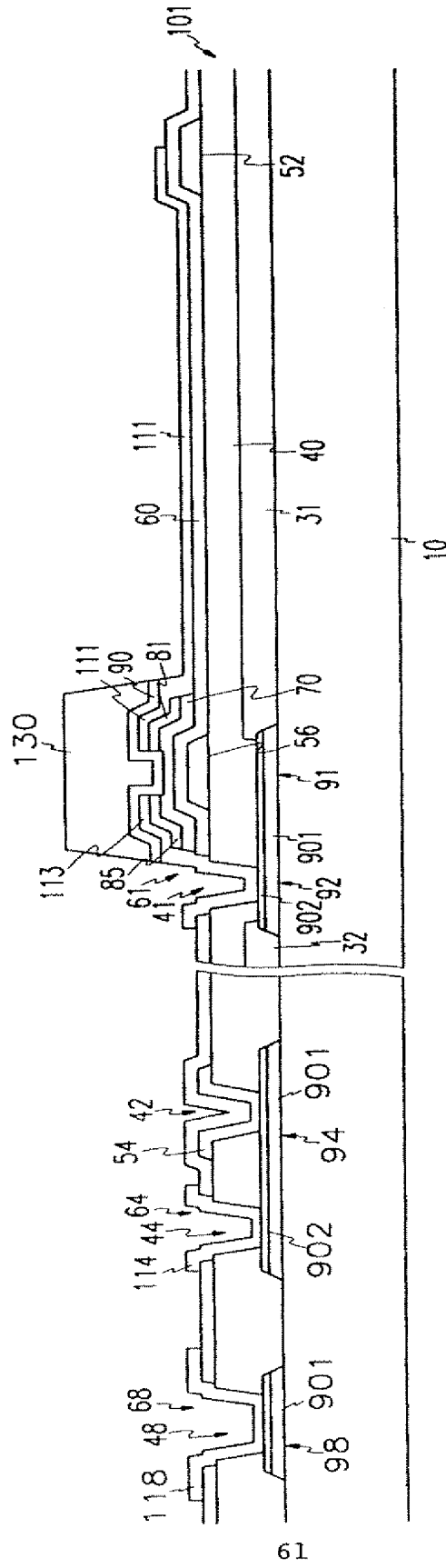


图 35

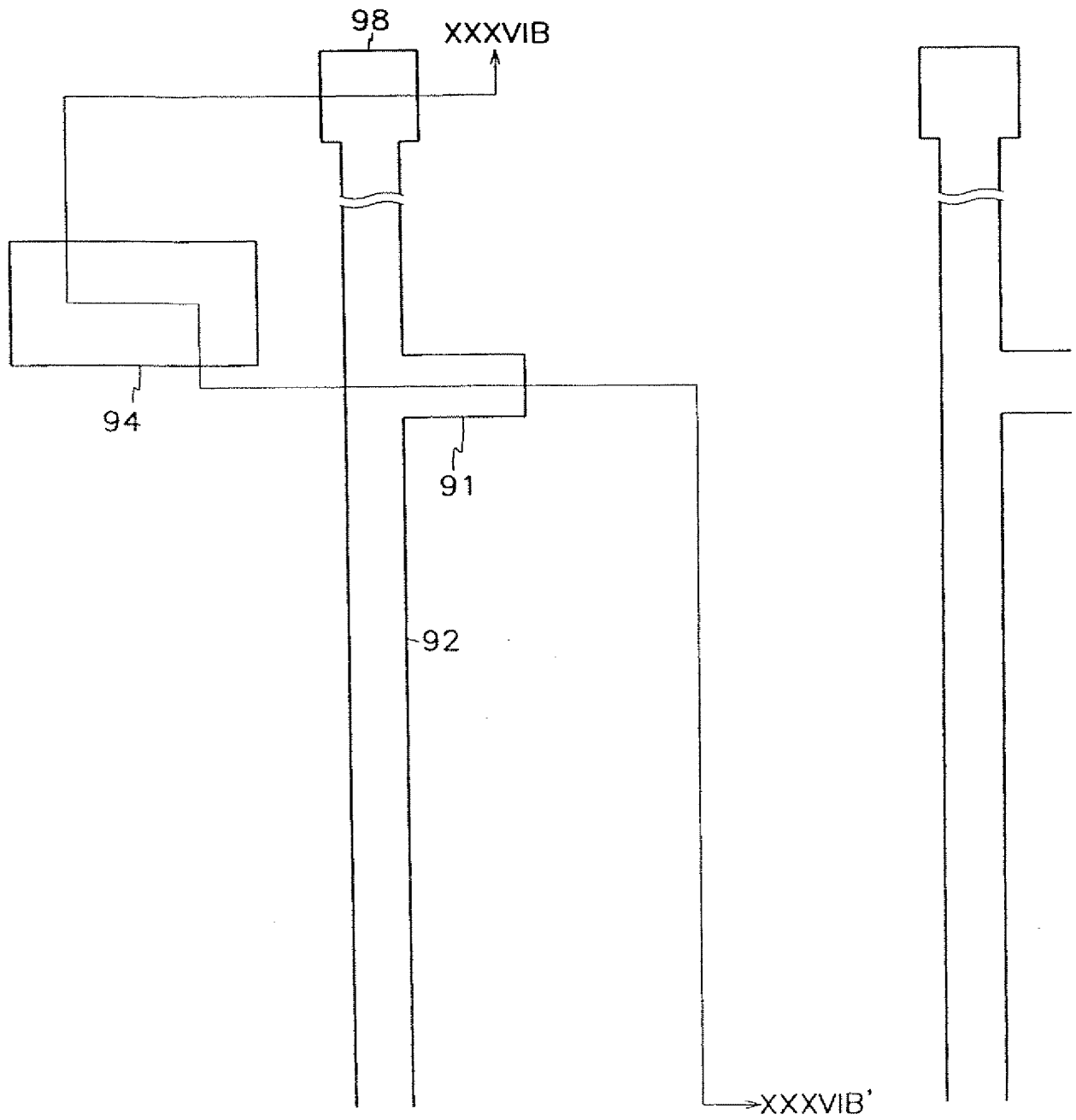


图 36A

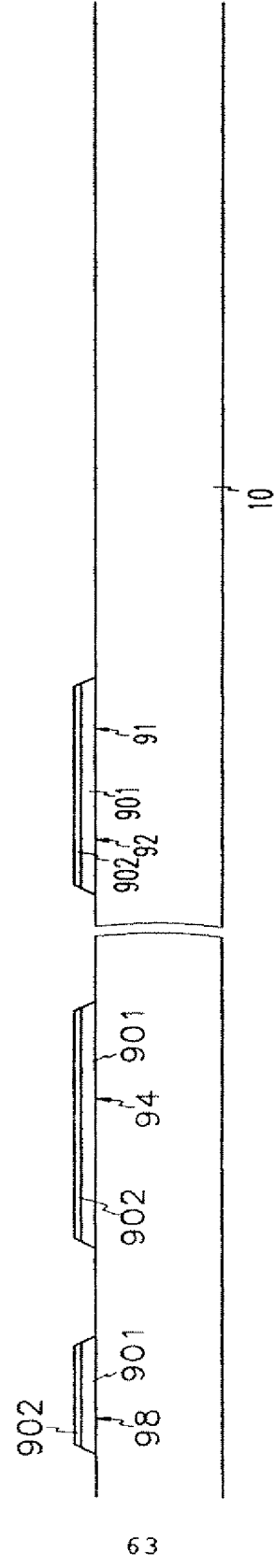


图 36B

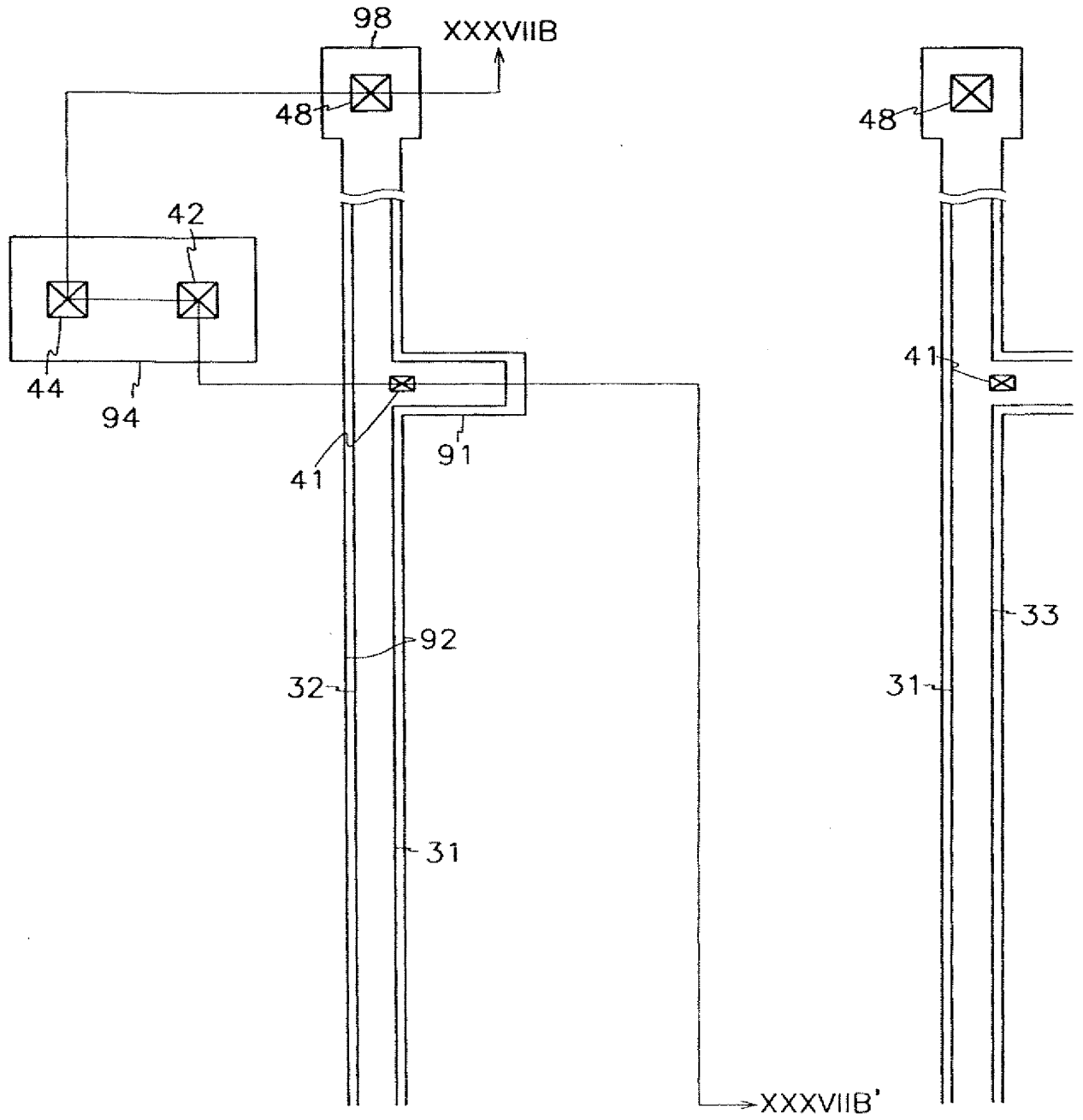


图 37A

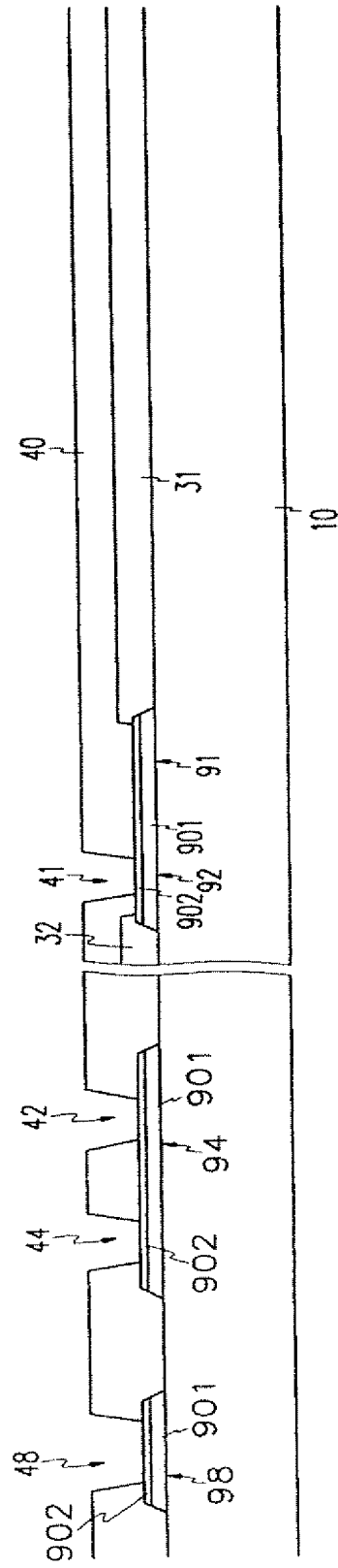


图 37B

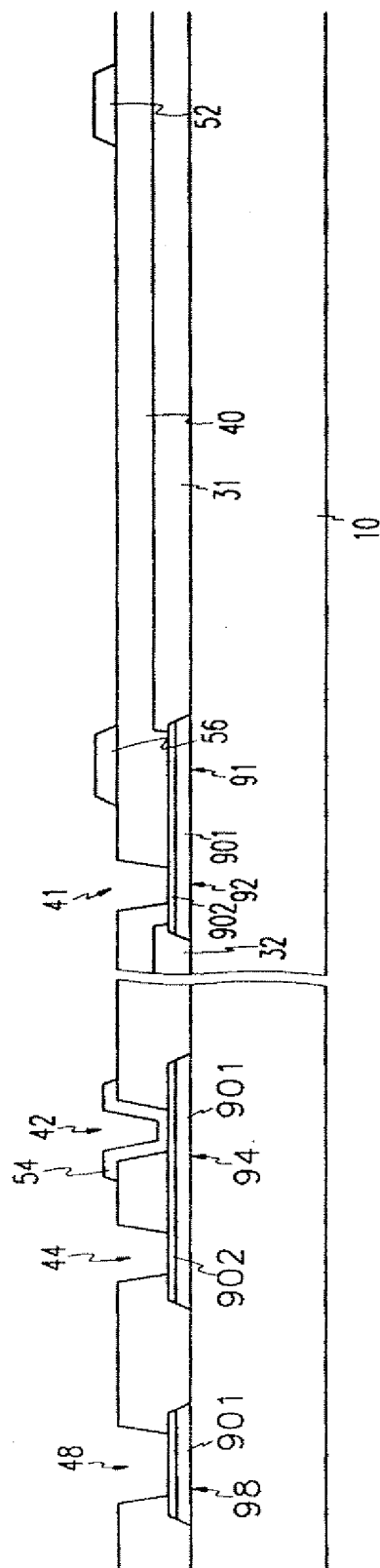


图 38B

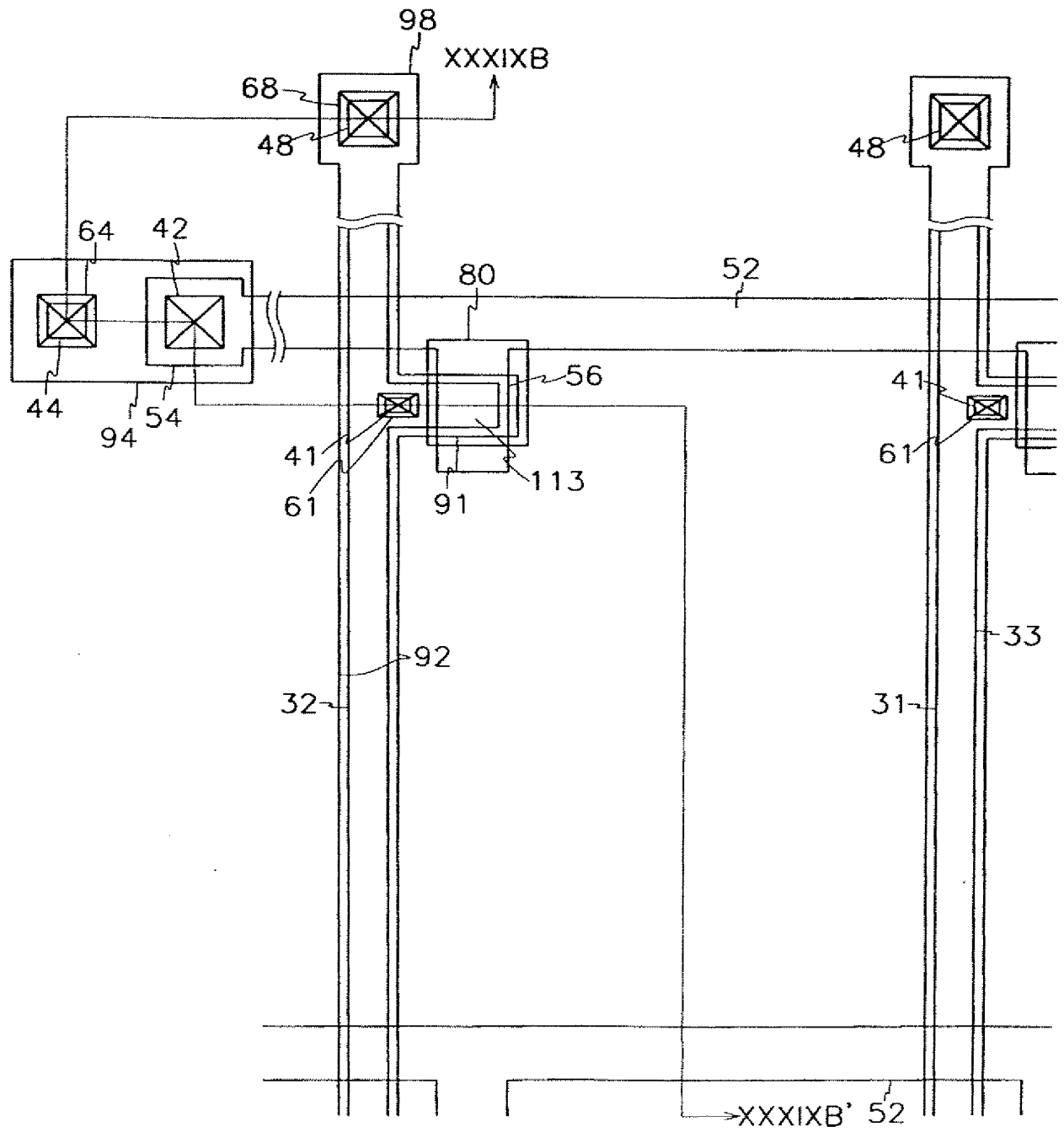


图 39A

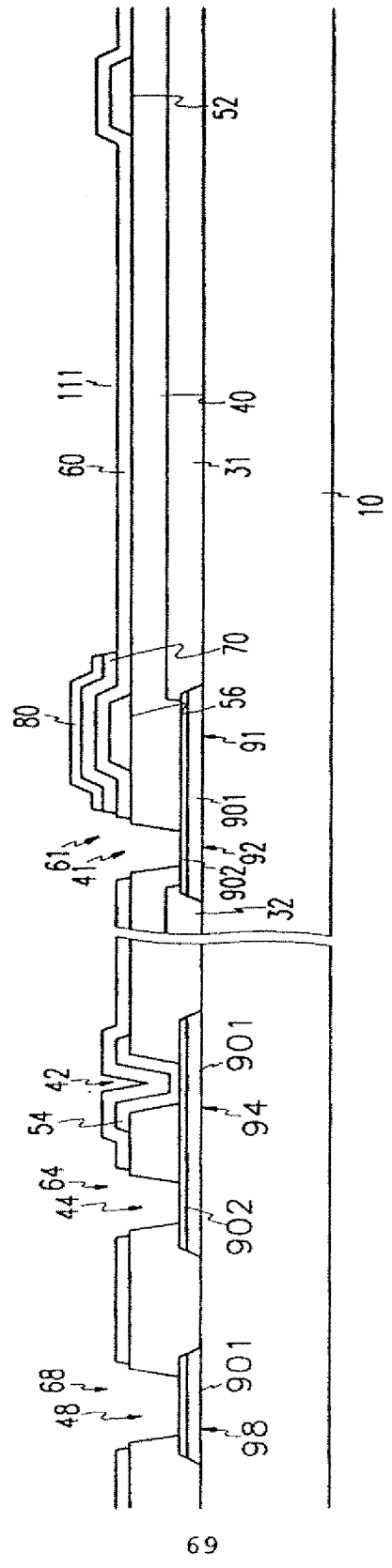


图 39B

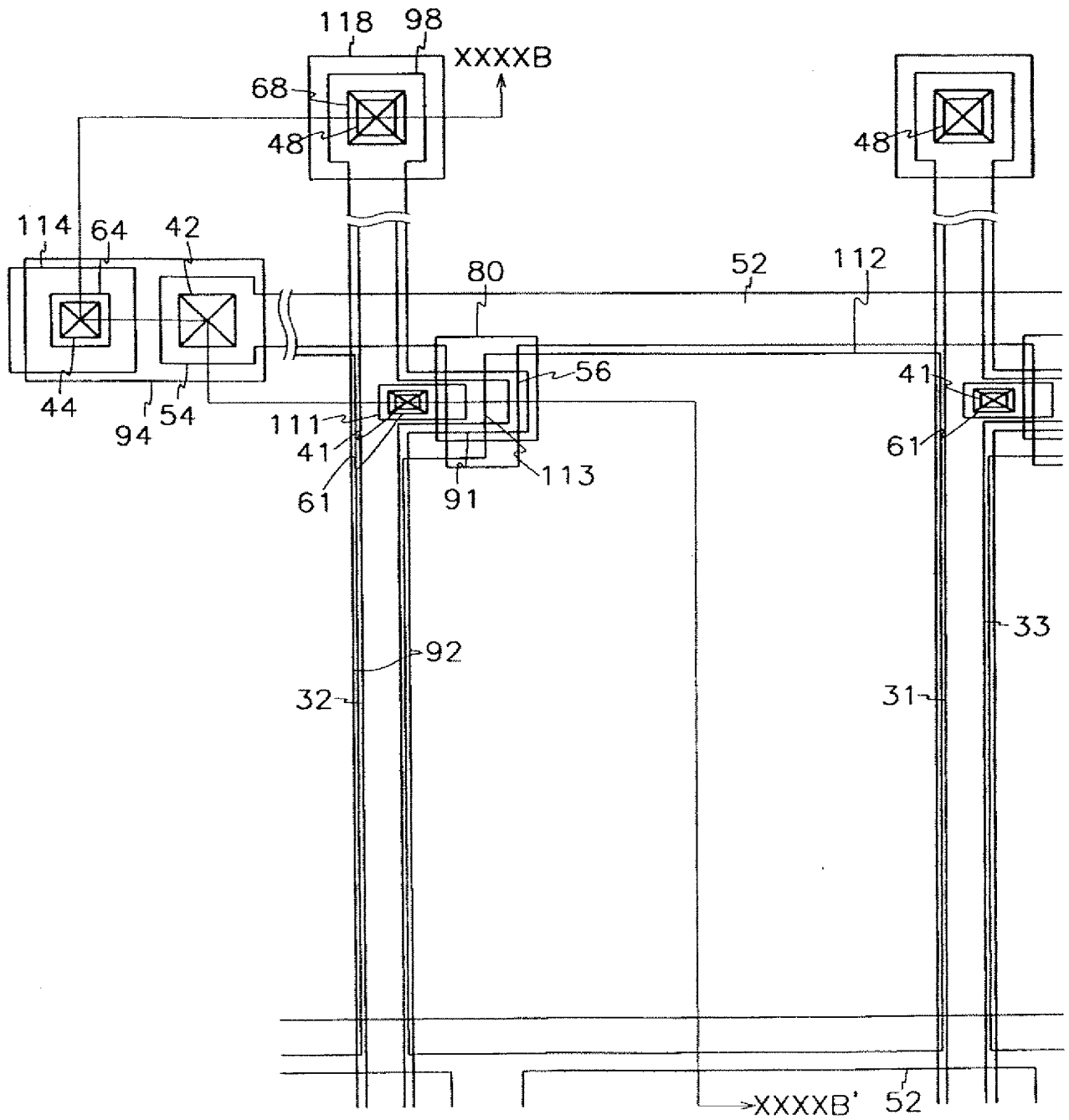


图 40A

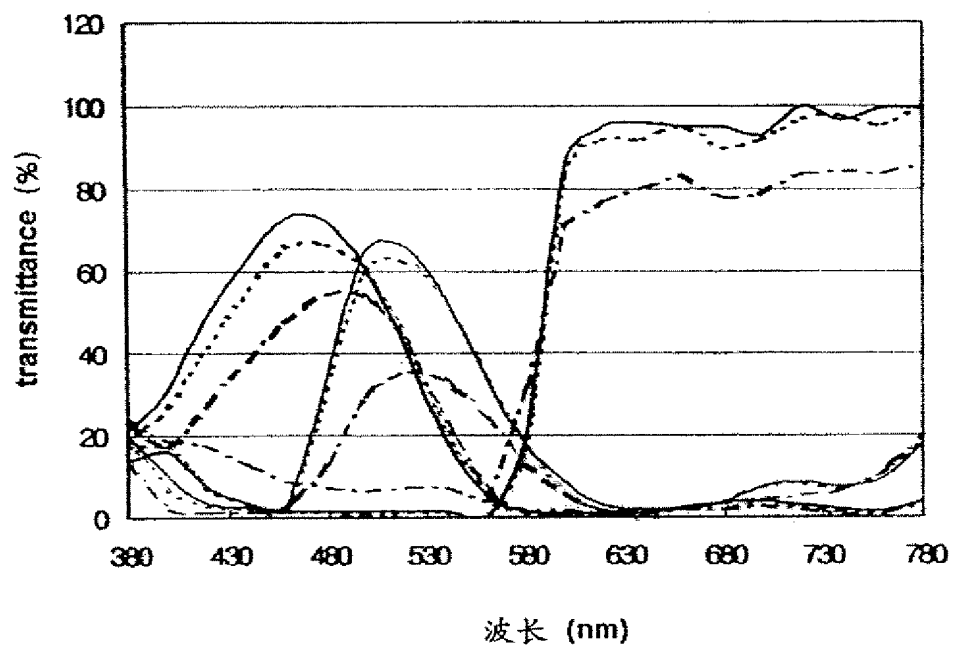


图 41

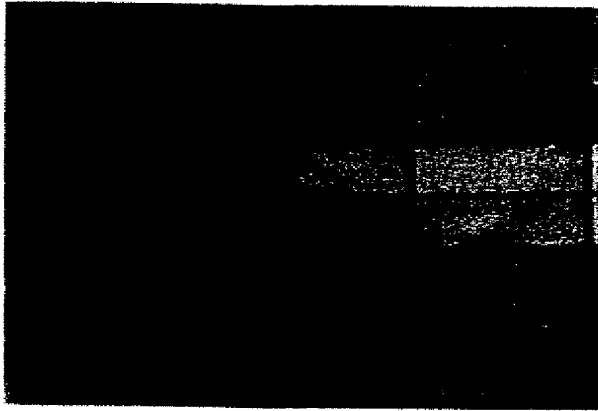


图 42A

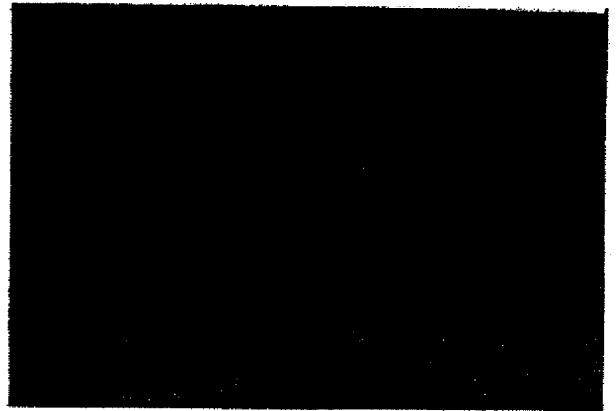


图 42B

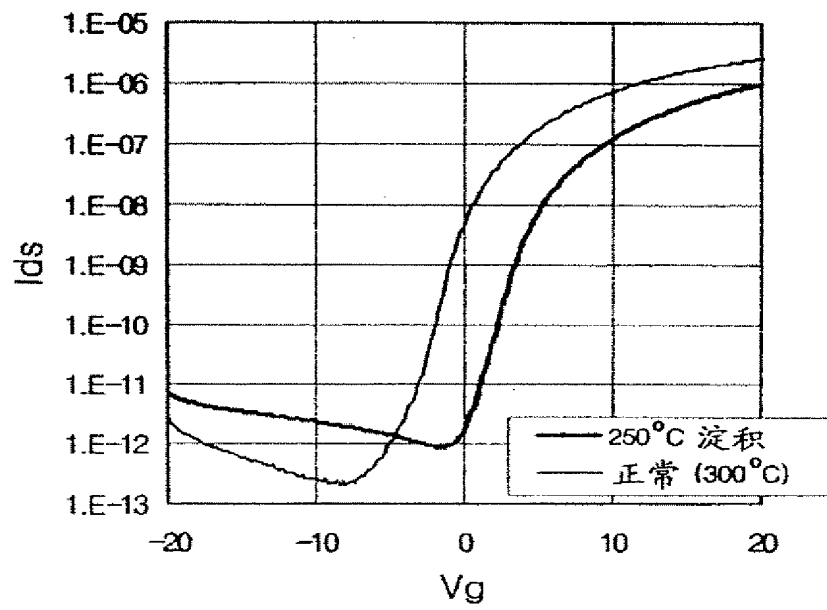


图 43

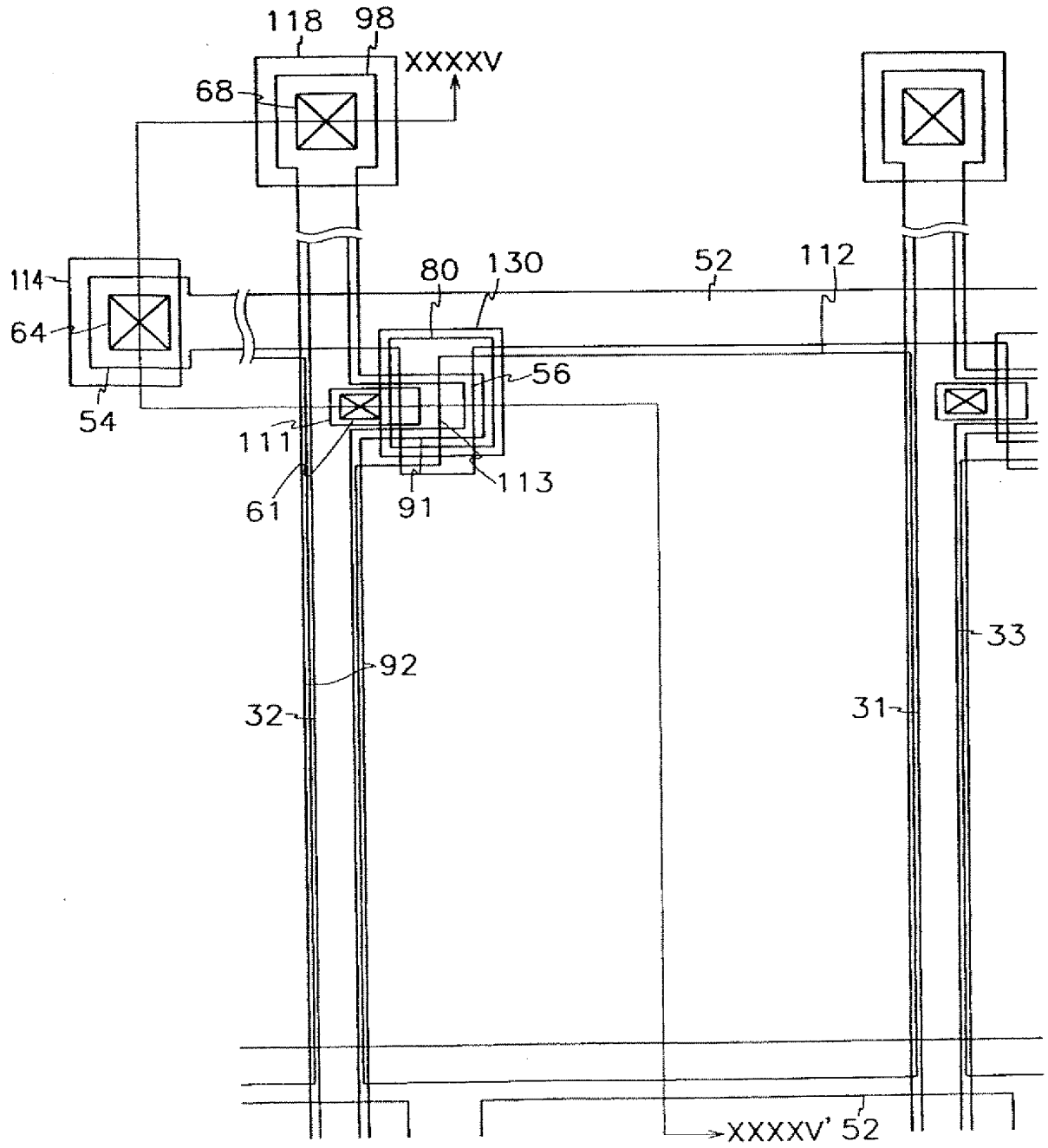
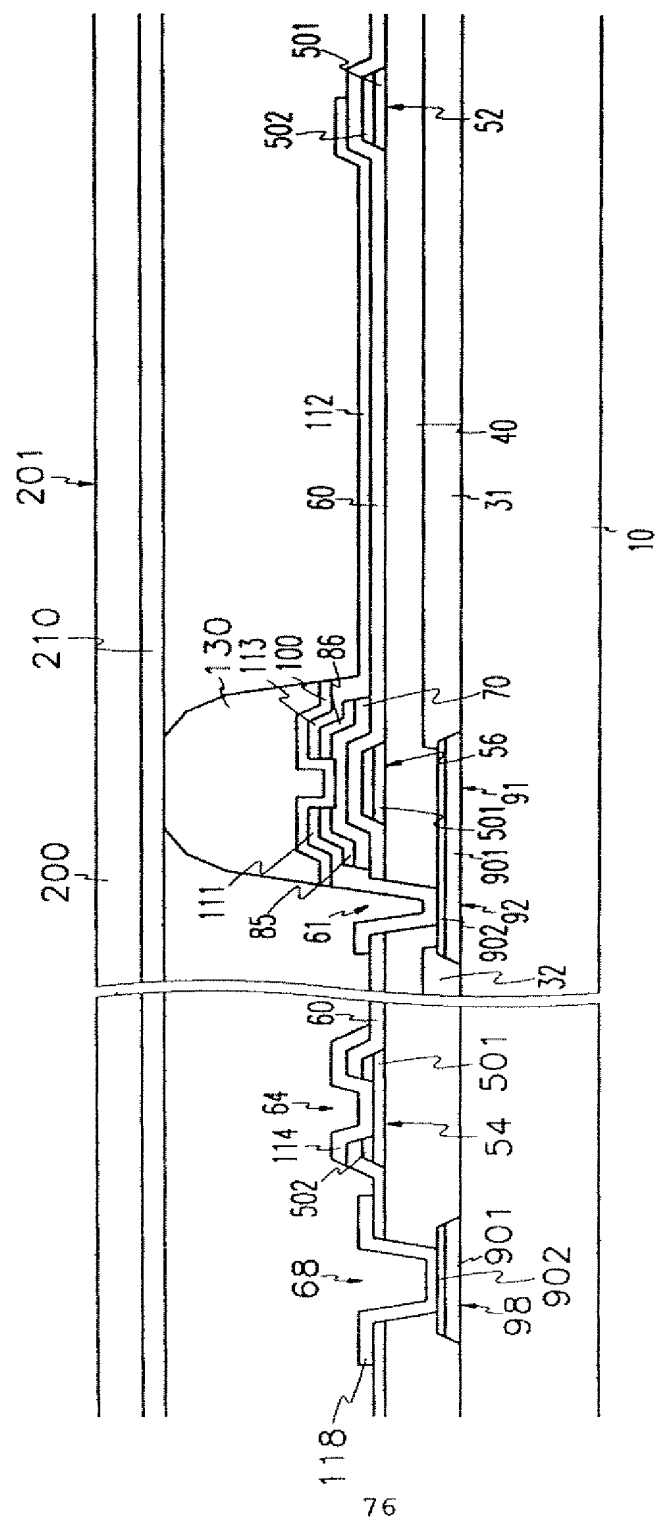


图 44



45

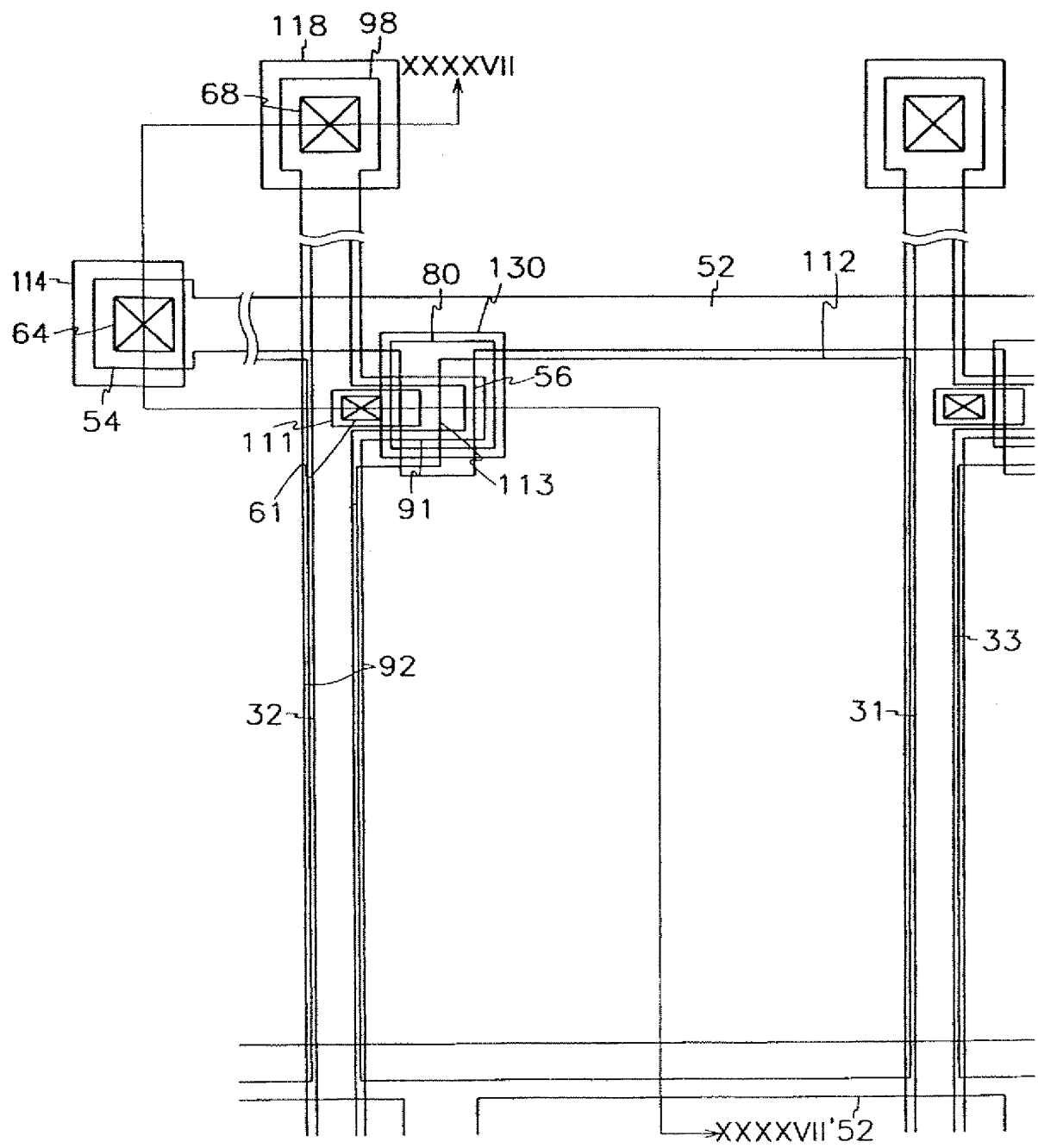


图 46

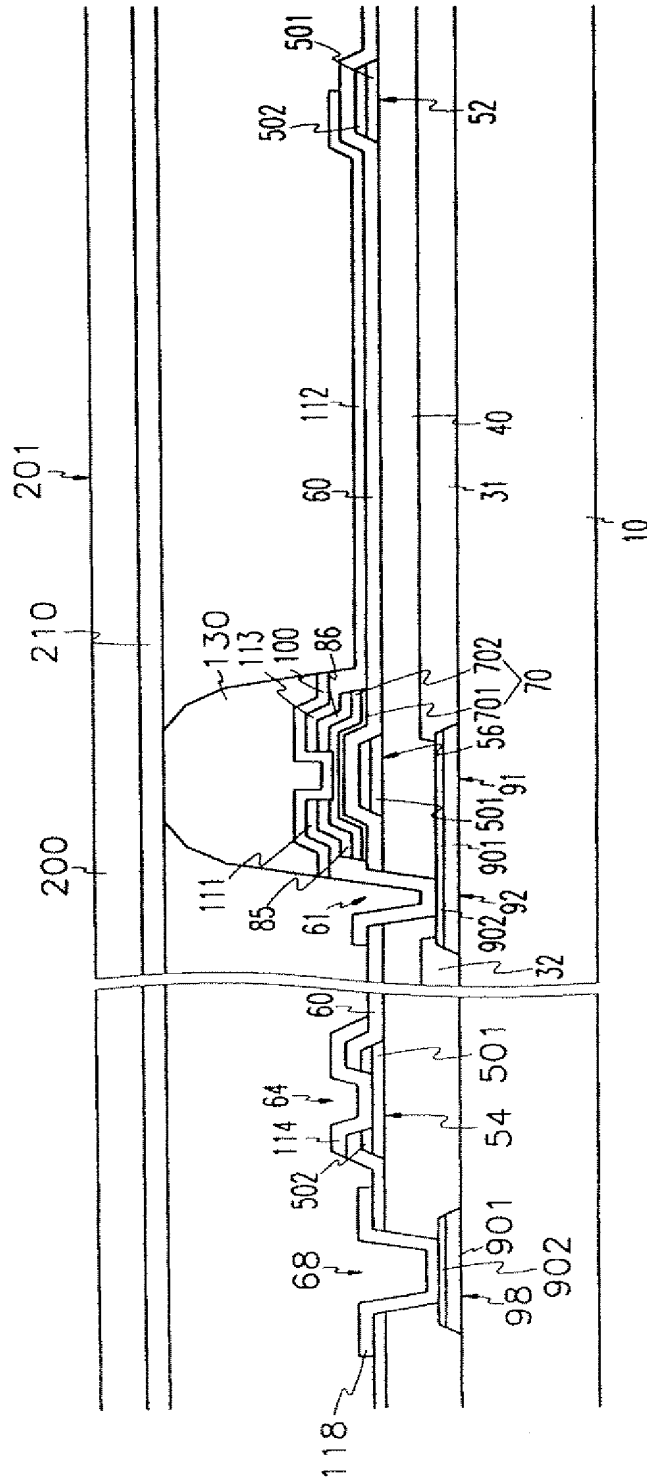


图 47